

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

17273052

Basic Patent (No,Kind,Date): US 20010026125 AA 20011004 <No. of Patents: 004>

LIGHT EMITTING DEVICE AND A METHOD OF MANUFACTURING THE SAME
(English)

Patent Assignee: YAMAZAKI SHUNPEI (JP); HIROKI MASAACKI (JP);
FUKUNAGA TAKESHI (JP)

Author (Inventor): YAMAZAKI SHUNPEI (JP); HIROKI MASAACKI (JP);
FUKUNAGA TAKESHI (JP)

National Class: *313505000; 427066000; 313506000; 345080000

IPC: *H01J-001/62;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 2001345179	A2	20011214	JP 200186520	A	20010326
US 20010026125	AA	20011004	US 817674	A	20010327 (BASIC)
US 20020163314	AA	20021107	US 175887	A	20020621
US 6420834	BB	20020716	US 817674	A	20010327

Priority Data (No,Kind,Date):

JP 200186520 A 20010326

JP 200085910 A 20000327

US 175887 A 20020621

US 817674 A3 20010327

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

07117511 **Image available**

LIGHT EMITTING DEVICE AND METHOD OF MANUFACTURING

PUB. NO.: 2001-345179 [JP 2001345179 A]

PUBLISHED: December 14, 2001 (20011214)

INVENTOR(s): YAMAZAKI SHUNPEI

 HIROKI MASAOKI

 FUKUNAGA KENJI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-086520 [JP 20011086520]

FILED: March 26, 2001 (20010326)

PRIORITY: 2000-085910 [JP 200085910], JP (Japan), March 27, 2000
(20000327)

INTL CLASS: H05B-033/10; G09F-009/30; H05B-033/12; H05B-033/14;
 H05B-033/22; C23C-014/12

ABSTRACT

PROBLEM TO BE SOLVED: To provide a light emitting device having a high resolution picture element part.

SOLUTION: An anode 102 and a bank 104 orthogonal to the anode 102 are arranged on an insulator 101. A part (a control bank 104b) of the bank 104 is composed of a metallic film, and an electric field is formed by impressing voltage on this part, and an orbit of an EL material charged with electric charge can be controlled. A film forming position of an EL layer can be precisely controlled by using this control.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-345179

(P 2 0 0 1 - 3 4 5 1 7 9 A)

(43) 公開日 平成13年12月14日 (2001.12.14)

(51) Int. Cl. 7	識別記号	F I	テマコード (参考)
H05B 33/10		H05B 33/10	
G09F 9/30	338	G09F 9/30	338
	365		365
H05B 33/12		H05B 33/12	Z
33/14		33/14	B
			A
審査請求 未請求 請求項の数11 O L (全32頁) 最終頁に続く			

(21) 出願番号 特願2001-86520 (P 2001-86520)
(22) 出願日 平成13年 3 月26日 (2001. 3. 26)
(31) 優先権主張番号 特願2000-85910 (P 2000-85910)
(32) 優先日 平成12年 3 月27日 (2000. 3. 27)
(33) 優先権主張国 日本 (J P)

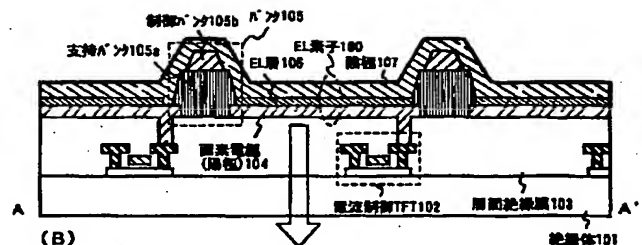
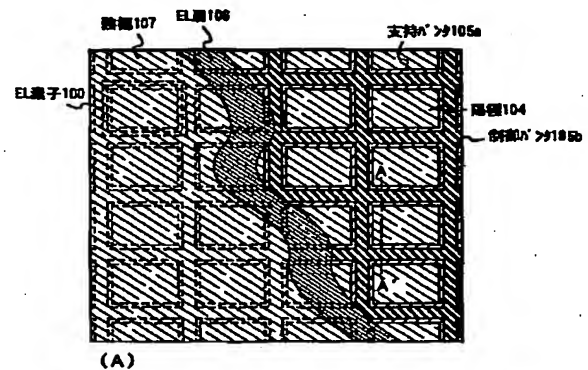
(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 山崎 舜平
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72) 発明者 ▲ひろ▼木 正明
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
(72) 発明者 福永 健司
神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(54) 【発明の名称】 発光装置およびその作製方法

(57) 【要約】

【課題】 高精細な画素部を有する発光装置を提供する。

【解決手段】 絶縁体101の上に陽極102、陽極102と直交するバンク104が設けられている。バンク104の一部(制御バンク104b)は金属膜からなり、これに電圧を印加することで電場を形成し、電荷を帯びたEL材料の軌道を制御することができる。これを利用してEL層の成膜位置を精密に制御することが可能となる。



【特許請求の範囲】

【請求項1】絶縁体の上にTFT、該TFTに電氣的に接続された陽極、該陽極に対向して設けられた陰極並びに前記陽極および前記陰極の間に設けられた発光性材料を含む発光装置であって、前記陽極はバンクに囲まれ、該バンクは一部に金属膜を含むことを特徴とする発光装置。

【請求項2】絶縁体の上にTFT、該TFTに電氣的に接続された陽極、該陽極に対向して設けられた陰極並びに前記陽極および前記陰極の間に設けられた発光性材料を含む発光装置であって、前記陽極はバンクに囲まれ、該バンクは絶縁膜および金属膜を積層してなることを特徴とする発光装置。

【請求項3】絶縁体の上にTFT、該TFTに電氣的に接続された陰極、該陰極に対向して設けられた陽極並びに前記陰極および前記陽極の間に設けられた発光性材料を含む発光装置であって、前記陰極はバンクに囲まれ、該バンクは一部に金属膜を含むことを特徴とする発光装置。

【請求項4】絶縁体の上にTFT、該TFTに電氣的に接続された陰極、該陰極に対向して設けられた陽極並びに前記陰極および前記陽極の間に設けられた発光性材料を含む発光装置であって、前記陰極はバンクに囲まれ、該バンクは絶縁膜および金属膜を積層してなることを特徴とする発光装置。

【請求項5】請求項1乃至請求項4のいずれかにおいて、前記発光性材料とはEL材料であることを特徴とする発光装置。

【請求項6】請求項1乃至請求項4のいずれかにおいて、前記金属膜はテーパーを有した形状であることを特徴とする発光装置。

【請求項7】絶縁体の上にTFTを形成する工程と、前記TFTと電氣的に接続された画素電極を形成する工程と、前記画素電極を囲むようにバンクを形成する工程と、前記バンクの一部を負もしくは正に帯電させながら前記画素電極の上方にEL材料を積層する工程と、を含むことを特徴とする発光装置の作製方法。

【請求項8】絶縁体の上にTFTを形成する工程と、前記TFTと電氣的に接続された画素電極を形成する工程と、前記画素電極を囲むようにバンクを形成する工程と、前記バンクの一部を負もしくは正に帯電させながら、該バンクと同じ極性に帯電させたEL材料を前記画素電極の上方に積層する工程と、を含むことを特徴とする発光装置の作製方法。

【請求項9】絶縁体の上にTFTを形成する工程と、前記TFTと電氣的に接続する画素電極を形成する工程と、前記画素電極を囲むように絶縁膜および金属膜を積層し

てなるバンクを形成する工程と、

前記金属膜を負もしくは正に帯電させながら前記画素電極の上方にEL材料を積層する工程と、を含むことを特徴とする発光装置の作製方法。

【請求項10】絶縁体の上にTFTを形成する工程と、前記TFTと電氣的に接続する画素電極を形成する工程と、

前記画素電極を囲むように絶縁膜および金属膜を積層してなるバンクを形成する工程と、

前記金属膜を負もしくは正に帯電させながら、該金属膜と同じ極性に帯電させたEL材料を前記画素電極の上方に積層する工程と、

を含むことを特徴とする発光装置の作製方法。

【請求項11】請求項7乃至請求項10のいずれかにおいて、前記EL材料を積層する工程は蒸着法、イオンプレーティング法もしくはインクジェット法により行われることを特徴とする発光装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）およびその作製方法に関する。特に発光性材料としてEL（Electro Luminescence）が得られる発光性材料（以下、EL材料という）を利用した発光素子（以下、EL素子という）を用いた発光装置（以下、EL発光装置）に関する。なお、有機ELディスプレイや有機発光ダイオード（OLED: Organic Light Emitting Diode）は本発明の発光装置に含まれる。

【0002】また、本発明に用いることのできるEL材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。

【0003】

【従来の技術】EL発光装置は、陽極と陰極との間にEL材料を挟んだ構造のEL素子を有した構造からなる。この陽極と陰極との間に電圧を加えてEL材料中に電流を流することによりキャリアを再結合させて発光させる。即ち、EL発光装置は発光素子自体に発光能力があるため、液晶表示装置に用いるようなバックライトが不要である。さらに視野角が広く、軽量であるという利点をもつ。

【0004】このときEL材料を成膜してEL層を形成するには、様々な成膜方法が採用されている。特に、低分子系有機EL材料の成膜には蒸着法が用いられ、高分子系有機EL材料の成膜にはスピンコーティング法もしくはインクジェット法が用いられている。

【0005】いずれの成膜方法にも一長一短があるが、蒸着法の場合はEL材料の利用効率が悪いという問題がある。蒸着法の場合、抵抗加熱や電子ビーム加熱により

10

20

30

40

50

気化したEL材料を飛散させて成膜するが、被膜形成面に成膜される分以外にも蒸着マスク(シャドーマスク)や蒸着室内壁に成膜されてしまう分の損失が大きかった。現状ではEL材料の単価が高いため、このような問題は製造コストの増大を招く結果となってしまう。

【0006】また、インクジェット法の場合、ノズル先端から吐出されたEL材料を含む液滴の軌道の制御が難しく、液滴の着弾点(EL層を成膜する部分)を正確に制御することが難しかった。この着弾点がずれてしまうと、となりの画素に液滴が混入されてしまうといった問題が起こり得た。この問題は高精細な画素部を有する発光装置を作製する上で特に顕著な問題となる。

【0007】

【発明が解決しようとする課題】本発明は、EL材料を成膜するにあたって成膜位置を精密に制御するための技術を提供することを課題とする。そして、高精細な画素部を有する発光装置を得ることを課題とする。さらに、その発光装置を表示部として用いた表示品質の高い電気器具を提供することを課題とする。

【0008】

【課題を解決するための手段】本発明では、画素を区分するバンクの一部に金属膜を用い、該金属膜に電圧をかける(負もしくは正に帯電させる)ことで電界を形成し、その電界によりEL材料の軌道を制御することの特徴としている。従って、本明細書において「電界を加える」とは、「荷電粒子の向きを制御する」と同義である。

【0009】なお、本明細書中において「バンク」とは、画素電極を囲むように設けられた絶縁膜と導電膜との積層体を指し、個々の画素を区分する役割を担う。また、本明細書中では、発明を明確にする便宜上、部位に分けて「支持バンク」と「制御バンク」という名称で区別している。

【0010】上記構成により蒸着法、イオンプレーティング法もしくはインクジェット法のように被膜形成面の上方もしくは下方からEL材料が飛んできて付着するような成膜方法において、EL材料の成膜位置を精密に制御することが可能となり、高精細な画素部を有する発光装置を得ることができる。

【0011】

【発明の実施の形態】本発明の発光装置の構造について図1(A)、(B)を用いて説明する。なお、図1(A)は画素部の上面図であり、図1(B)は図1(A)をA-A'で切断した断面図である。但し、ここで示す発光装置は発光素子を封止する前の状態である。

【0012】本発明の発光装置は、まず絶縁体101上にTFT102が設けられている。絶縁体101はガラス基板、プラスチック基板(プラスチックフィルムを含む)、金属基板もしくはセラミックス基板の上に絶縁膜を設けたものを用いても良いし、石英基板をそのまま用

いても良い。

【0013】TFT(薄膜トランジスタ)102は公知の構造のnチャネル型TFTもしくはpチャネル型TFTを用いれば良く、トップゲート構造(代表的にはプレーナ型TFT)であってもボトムゲート構造(代表的には逆スタガ型TFT)であっても良い。また、TFTの配置にも限定はないが、典型的には本出願人による特開平5-107561号公報に記載の画素構造を採用すれば良い。

10 【0014】このTFT102は層間絶縁膜103に覆われ、層間絶縁膜103を挟んで画素電極104が電気的に接続されている。層間絶縁膜103としては、珪素を含む絶縁膜、代表的には酸化珪素膜、窒化珪素膜、窒化酸化珪素膜もしくは炭化珪素膜を用いることができる。また、樹脂膜を用いることもできるし、樹脂膜と珪素を含む絶縁膜とを組み合わせることもできる。

20 【0015】また、ここでは画素電極104として仕事関数の大きい導電膜が用いられ、典型的には可視光に対して透明な酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはこれらの化合物からなる導電膜を用いることができる。さらに、これらの酸化物導電膜にガリウムを添加したものであっても良い。

30 【0016】また、画素電極104を囲むようにしてバンク105が設けられている。バンク105は絶縁膜からなる支持バンク105aとその上に設けられた金属膜からなる制御バンク105bを含む。このとき、制御バンク105bの線幅は支持バンク105aの線幅よりも細くなっている。さらに、支持バンク105aおよび制御バンク105bはテーパー形状を有していることが好ましい。本発明では制御バンク105bに画素電極と極性の異なる電圧をかけて負もしくは正に帯電させ、EL材料に電界を加えることによりEL材料の飛行軌道を制御することが可能となる。

【0017】さらに、バンク105で囲まれた画素内にはEL層106が設けられ、バンク105およびEL層106を覆うように陰極107が設けられている。

40 【0018】なお、本明細書中においてEL層とは、EL素子において陽極と陰極との間に設けられた絶縁層を指し、様々な有機膜もしくは無機膜を組み合わせで形成される層である。典型的には、EL層は少なくとも発光層を含み、発光層に電荷注入層や電荷輸送層を組み合わせで用いられる。また、EL層106としては、有機EL材料、無機EL材料もしくはそれらを組み合わせたEL材料を用いる。また、有機EL材料を用いる場合、低分子材料を用いても高分子材料を用いても良く、公知の如何なる材料を用いても良い。

50 【0019】また、陰極107は仕事関数の小さい導電膜が用いられ、典型的には周期表の1族もしくは2族に属する元素を含む導電膜が用いられる。代表的にはマグ

ネシウム、リチウム、セシウム、ベリリウム、カリウムもしくはカルシウムを含む合金膜が用いられる。また、ビスマス膜を用いることもできる。

【0020】以上の画素電極（陽極）104、EL層106および陰極107がEL素子100を形成する。実際には、EL素子100の上に樹脂膜を封止材として設けるか、EL素子100の上に密閉空間を作るかして、EL素子100を外気から保護する。これはEL層106や陰極107が酸化することで劣化してしまうため、酸素および水に極力触れないようにするためである。

【0021】以上のような構造を含む本発明の発光装置は、蒸着法、イオンプレーティング法もしくはインクジェット法のように、上方もしくは下方からEL材料が飛んできて付着することにより成膜される手法を用いる場合において、バンクの一部である金属膜を用いてEL材料に電界を加え、その電界により成膜位置の制御を行うことを特徴とするものである。

【0022】本発明を実施することで、精密な位置制御を行いながらEL材料を成膜することが可能となり、高精細な画素部を有する発光装置を実現することができる。

【0023】

【実施例】【実施例1】図1に示した構造の発光装置を作製する際のEL層の成膜過程について図2を用いて説明する。なお、一部、図1の符号を参照して説明する。

【0024】図2(A)において、絶縁体101の上にはTFT102が形成され、TFT102を覆って形成された層間絶縁膜103の上には画素電極（ここでは陽極として機能する）104が形成されている。さらに、画素電極104を囲むように支持バンク105aおよび制御バンク105bを含むバンク105が形成されている。

【0025】そして、この状態でまず画素電極104を正に帯電させる。これは画素電極104に正電圧を印加しても良いし、正に帯電したイオンシャワーを浴びせることで帯電させることも可能である。正電圧を印加する場合はTFT102を動作させて印加すれば良い。そして、制御バンク105bは負に帯電させる。これは制御バンク105bに負電圧を印加することで可能である。負電圧の大きさは実施者が適宜決定すれば良い。

【0026】この状態でEL材料（本明細書ではEL材料を含む溶液も含めてEL材料という）201を蒸着法、イオンプレーティング法もしくはインクジェット法により積層する。このとき、本発明ではEL材料201を、制御バンク105bと同じ極性に帯電させる点に特徴がある。即ち、本実施例の場合は、制御バンク105bが負に帯電しているため、EL材料201も負に帯電させる。これによりEL材料201は制御バンク105bの周囲に形成された電界に反発し、制御バンク105bを避けるような軌道を描く。

【0027】さらに、本実施例では画素電極104が正に帯電しているため、負に帯電したEL材料201を引き寄せる方向に働く。

【0028】以上のように、EL材料201は制御バンク105bを避けて画素電極104へ積層される。こうして画素の部分にEL層202が形成される。即ち、特にシャドーマスク等を設けることなく、EL材料を集中的に画素に成膜することができ、EL材料の利用効率を大幅に向上させることが可能となる。

10 【0029】また、本発明は画素ピッチが数十 μm といった非常に微細な画素部においても何ら問題なく実施することが可能である。シャドーマスクを用いてEL材料を積層する手法はシャドーマスクのアライメント精度が問題となり、高精細な画素部を形成するには不适当である。そのような場合に、本発明を実施することは非常に有効であると言える。

【0030】【実施例2】本実施例では、蒸着法によりEL材料を成膜する際に本発明を実施する場合について図3に示す。

20 【0031】図3において、301は蒸着室であり、蒸着室の隔壁302は負の電圧が印加される負電源303に接続されている。また、蒸着室301の内部には蒸着ポート304が設置され、その中には固体EL材料305が備えられている。この蒸着ポート304は支持台306に接続された電源307a、307bを用いて加熱される。即ち、本実施例では抵抗加熱による蒸着源を用いている。

30 【0032】また、蒸着ポート304に設けられた孔（気体となったEL材料が蒸着ポート外に出るための孔）のすぐ外に、孔から出た気体となったEL材料（以下、気体EL材料という）を取り囲むように配置されたリング状電極320が設けられている。このリング状電極320は負電源308に接続され、リング状電極320の内側に電場を形成して、気体EL材料を負に帯電させる。即ち、蒸着ポート304から飛び出した気体EL材料は、飛散中に電場を通過させることで帯電する。このとき、蒸着室の隔壁302は負に帯電しているため、隔壁302に付着するEL材料を最小限に抑えることができる。

40 【0033】こうして飛散した気体EL材料309は制御バンク310が形成する電界を避けるようにして画素電極311に積層される。制御バンク310には負電源312が接続され、これにより電界が形成される。なお、図示されていないが全ての制御バンクは同電位となるように電気的に接続されている。

50 【0034】また、このとき画素電極311が接続されたTFT313のソース配線には正電源314が接続され、画素電極311に正電圧を印加できるようになっている。また、TFT313を有した基板315はサセプタ316に保持される。このサセプタ316を成膜時に

負に帯電させておいても良い。

【0035】画素電極311は電氣的に接続されたTFT313を動作させることにより正の電圧を印加され、正に帯電する。即ち、本実施例ではTFT313を動作させた状態でEL材料を積層する点にも特徴がある。もちろん、必ずしもTFT313を動作させる必要はない。

【0036】以上のような構成とすることで、蒸着する気体EL材料309の利用効率を高め、必要最小限の量で所望のEL層を形成することが可能となる。従って、EL材料の消費量が大幅に削減されるため、製造コストを低減することができる。

【0037】なお、蒸着源として抵抗加熱を例にとったが、電子ビーム(EB)加熱であっても構わない。

【0038】また、本実施例では気体EL材料を負に帯電させる例を示しているが、正に帯電させることも可能である。その場合、隔壁302、蒸着ポート304および制御バンク310を正に帯電させ、画素電極311を負に帯電させれば良い。

【0039】〔実施例3〕本実施例では、インクジェット法によりEL材料を塗布する際に本発明を実施する場合について図4に示す。なお、図4(A)、(B)はいずれも不活性雰囲気中(窒素ガスもしくは希ガス中)で行われる。

【0040】図4(A)において、401はガラス基板、402はTFT、403は陽極として機能する画素電極であり、TFT402のソース配線には正電源404が接続されている。また、本実施例では制御バンク405に負電源406を接続する。この場合、図示されないが全ての制御バンクは同電位となるように電氣的に接続されている。

【0041】また、基板401の上方にはインクジェット方式でEL材料を積層するための薄膜形成装置のヘッド407~409が配置されている。ヘッド407の中には赤色発光のためのEL材料を含む溶液410が備えられ、ヘッド408の中には緑色発光のためのEL材料を含む溶液411が備えられ、ヘッド409の中には青色発光のためのEL材料を含む溶液412が備えられている。これらのEL材料を含む溶液はピエゾ素子を用いて吐出される。もちろん、バブルジェット(登録商標)方式を用いても良い。

【0042】本実施例では、ヘッド407~409の各々に負電源413~415を接続し、EL材料410~412を負に帯電させている。この状態で吐出されたEL材料を含む溶液は点線で示される軌道に沿って落下し、バンクの間に露出した画素電極403上に塗布される。即ち、負に帯電したEL材料を含む溶液410~412は、やはり負に帯電した制御バンク405を避けて画素内に塗布される。

【0043】こうして画素内には赤色発光に対応するE

L層416、緑色発光に対応するEL層417および青色発光に対応するEL層418が形成される。なお、ここでは三つの画素しか図示されないが、一画素ずつ成膜しても良いし、三つ以上の複数の画素に同時に成膜することも可能である。

【0044】また、図4(B)に示したのは、ヘッド407~409の吐出口付近にEL材料を含む溶液を帯電させるための電極を設けた例である。本実施例では、引出電極421、加速電極422および制御電極423を設けている。また、各々には電源424が接続されている。

【0045】引出電極421はヘッド407~409からEL材料を含む溶液を引き出すための電界を形成する電極である。また、加速電極422は引き出されたEL材料を加速させるための電界を形成する電極であり、制御電極423は最終的にEL材料の落下する位置を制御するための電界を形成する電極である。もちろん、これら三つを常に用いる必要はなく、この組み合わせに限定する必要はない。

【0046】図4(B)に示す構成の場合、これら三つの電極のいずれかを用いてEL材料を含む溶液を負に帯電させている。従って、ヘッド407~409に特に電源を設ける必要がなく、吐出されたEL材料を含む溶液自体を直接帯電させることができる。この場合も、図4(A)の場合と同様にEL材料を含む溶液は点線で示される軌道に沿って落下し、バンクの間に露出した画素電極403上に塗布される。即ち、負に帯電したEL材料409~411は、やはり負に帯電した制御バンク404を避けて画素内に塗布される。

【0047】以上のような構成とすることで、インクジェット法によりEL材料を塗布する際に軌道がずれてしまう可能性が大幅に減り、歩留まりを向上させることが可能となる。そのため製造コストを低減することができる。

【0048】なお、本実施例ではEL材料を含む溶液を負に帯電させる例を示しているが、正に帯電させることも可能である。その場合、制御バンク405およびEL材料を含む溶液410~412を正に帯電させ、画素電極403を負に帯電させれば良い。

【0049】〔実施例4〕本実施例では、イオンプレーティング法によりEL層を成膜する際に本発明を実施する場合について図5に示す。

【0050】図5において、501は蒸着室であり、蒸着室の隔壁502は正の電圧が印加される正電源503に接続されている。また、蒸着室501の内部には蒸着ポート504が設置され、その中には固体EL材料505が備えられている。この蒸着ポート504は支持台506に接続された電源507a、507bを用いて加熱される。即ち、本実施例では抵抗加熱による蒸着源を用い

【0051】また、蒸着ポート504の上には導体をらせん状に巻いたアンテナ508が設けられている。アンテナ508には高周波電源508aが接続されており、高真空中にて高周波が印加され、電波（典型的にはマイクロ波）を発生させることができる。本実施例ではこの電波を気化した気体EL材料509に加えて正に帯電させる。このとき、アンテナ508の間にプラズマを発生させても良い。このプラズマはアルゴンガスもしくはネオンガスといった希ガスをを用いて形成すれば良い。このとき、蒸着室の隔壁502は正に帯電しているため、隔壁502に付着するEL材料を最小限に抑えることができる。

【0052】こうして飛散した気体EL材料509は、制御バンク510が形成する電界を避けるようにして画素電極511に積層される。制御バンク510には正電源512が接続され、これにより電界が形成される。なお、図示されていないが全ての制御バンクは同電位となるように電気的に接続されている。

【0053】また、このとき画素電極511が接続されたTFT513のソース配線には負電源514が接続され、画素電極511に負電圧を印加できるようになっている。また、TFT513を有した基板515はサセプタ516に保持される。このサセプタ516を成膜時に負に帯電させておいても良い。

【0054】画素電極511は電気的に接続されたTFT513を動作させることにより負の電圧を印加され、負に帯電する。即ち、本実施例ではTFT513を動作させた状態でEL材料を積層する点にも特徴がある。もちろん、必ずしもTFT513を動作させる必要はない。

【0055】以上のような構成とすることで、蒸着する気体EL材料509の利用効率を高め、必要最小限の量で所望のEL層を形成することが可能となる。従って、EL材料の消費量が大幅に削減されるため、製造コストを低減することができる。

【0056】なお、本実施例では電極508aと508bとの間に形成された電界を気体EL材料509に加えて正に帯電させる方式としたが、陽極511と蒸着ポート504との間にバイアス電圧をかけて正に帯電させることもできる。

【0057】また、本実施例では気体EL材料を正に帯電させる例を示しているが、負に帯電させることも可能である。その場合、隔壁502、蒸着ポート504および制御バンク510を負に帯電させ、陽極511を正に帯電させれば良い。

【0058】〔実施例5〕本発明の発光装置における画素部の断面図を図6に、その上面図を図7(A)に、その回路構成を図7(B)に示す。実際には画素がマトリクス状に複数配列されて画素部（画像表示部）が形成される。従って図6及び図7で共通の符号を用いているの

で、適宜両図面を参照すると良い。また、図7の上面図では二つの画素を図示しているが、どちらも同じ構造である。

【0059】図6において、11は基板、12は下地となる絶縁膜（以下、下地膜という）である。基板11としてはガラス、ガラスセラミックス、石英、シリコン、セラミックス、金属若しくはプラスチックでなる基板を用いることができる。

【0060】また、下地膜12は特に可動イオンを含む基板や導電性を有する基板を用いる場合に有効であるが、石英基板には設けなくても構わない。下地膜12としては、珪素（シリコン）を含む絶縁膜を用いれば良い。また、下地膜12に放熱効果を持たせることによりTFTの発熱を発散させることはTFTの劣化又はEL素子の劣化を防ぐためにも有効である。放熱効果を持たせるには公知のあらゆる材料を用いることができる。

【0061】ここでは画素内に二つのTFTを形成している。601はスイッチング用TFTであり、nチャネル型TFTで形成され、602は電流制御用TFTであり、pチャネル型TFTで形成されている。

【0062】ただし、本発明において、スイッチング用TFTをnチャネル型TFT、電流制御用TFTをpチャネル型TFTに限定する必要はなく、スイッチング用TFTをpチャネル型TFT、電流制御用TFTをnチャネル型TFTにしても良いし、両方ともnチャネル型又はpチャネル型TFTを用いることも可能である。

【0063】スイッチング用TFT601は、ソース領域13、ドレイン領域14、LDD領域15a~15d、高濃度不純物領域16及びチャネル形成領域17a、17bを含む活性層、ゲート絶縁膜18、ゲート電極19a、19b、第1層間絶縁膜20、ソース配線21並びにドレイン配線22を有して形成される。

【0064】また、図7に示すように、ゲート電極19a、19bは別の材料（ゲート電極19a、19bよりも低抵抗な材料）で形成されたゲート配線611によって電気的に接続されたダブルゲート構造となっている。勿論、ダブルゲート構造だけでなく、シングルゲートもしくはトリプルゲート構造といったいわゆるマルチゲート構造（直列に接続された二つ以上のチャネル形成領域を有する活性層を含む構造）であっても良い。マルチゲート構造はオフ電流値を低減する上で極めて有効であり、本発明では画素のスイッチング素子601をマルチゲート構造とすることによりオフ電流値の低いスイッチング素子を実現している。

【0065】また、活性層は結晶構造を含む半導体膜で形成される。即ち、単結晶半導体膜でも良いし、多結晶半導体膜や微結晶半導体膜でも良い。また、ゲート絶縁膜18は珪素を含む絶縁膜で形成すれば良い。また、ゲート電極、ソース配線若しくはドレイン配線としてはあらゆる導電膜を用いることができる。

【0066】さらに、スイッチング用TFT601においては、LDD領域15a~15dは、ゲート絶縁膜18を挟んでゲート電極19a、19bと重ならないように設ける。このような構造はオフ電流値を低減する上で非常に効果的である。

【0067】なお、チャネル形成領域とLDD領域との間にオフセット領域（チャネル形成領域と同一組成の半導体層であり、ゲート電圧が印加されない領域）を設けることはオフ電流値を下げる上でさらに好ましい。また、二つ以上のゲート電極を有するマルチゲート構造の場合、チャネル形成領域の間に設けられた高濃度不純物領域がオフ電流値の低減に効果的である。

【0068】次に、電流制御用TFT602は、ソース領域31、ドレイン領域32及びチャネル形成領域34を含む活性層、ゲート絶縁膜18、ゲート電極35、第1層間絶縁膜20、ソース配線36並びにドレイン配線37を有して形成される。なお、ゲート電極35はシングルゲート構造となっているが、マルチゲート構造であっても良い。

【0069】図7(A)に示すように、スイッチング用TFTのドレインは電流制御用TFT602のゲートに接続されている。具体的には電流制御用TFT602のゲート電極35はスイッチング用TFT601のドレイン領域14とドレイン配線（接続配線とも言える）22を介して電氣的に接続されている。また、ソース配線36は電流供給線であり、EL素子に流れる電流の供給源に接続される。

【0070】電流制御用TFT602はEL素子603に注入される電流量を制御するための素子であるが、EL素子の劣化を考慮するとあまり多くの電流を流すことは好ましくない。そのため、電流制御用TFT602に過剰な電流が流れないように、チャネル長(L)は長めに設計することが好ましい。望ましくは一画素あたり0.5~2 μ A（好ましくは1~1.5 μ A）となるようにする。

【0071】また、スイッチング用TFT601に形成されるLDD領域の長さ（幅）は0.5~3.5 μ m、代表的には2.0~2.5 μ mとすれば良い。

【0072】また、図7(A)に示すように電流制御用TFT602のゲート電極を含む配線35は、50で示される領域で電流制御用TFT602のソース配線（電流供給線）36と絶縁膜を挟んで重なる。このとき50で示される領域では、保持容量（コンデンサ）が形成される。また、ここではソース配線36と電氣的に接続された半導体膜51、ゲート絶縁膜と同一層の絶縁膜（図示せず）及び電源供給線36で形成される容量も保持容量として用いることが可能である。この保持容量50は、電流制御用TFT602のゲート電極35にかかる電圧を保持するためのコンデンサとして機能する。

【0073】また、流しうる電流量を多くするという観

点から見れば、電流制御用TFT602の活性層（特にチャネル形成領域）の膜厚を厚くする（好ましくは50~100nm、さらに好ましくは60~80nm）ことも有効である。逆に、スイッチング用TFT601の場合はオフ電流値を小さくするという観点から見れば、活性層（特にチャネル形成領域）の膜厚を薄くする（好ましくは20~50nm、さらに好ましくは25~40nm）ことも有効である。

【0074】また、アナログ階調方式により多階調表示を行う場合は電流制御用TFT602を飽和領域で動作させることが好ましい。逆に、デジタル階調方式により多階調表示を行う場合は電流制御用TFT602を線形領域で動作させることが好ましい。

【0075】次に、38はパッシベーション膜であり、膜厚は10nm~1 μ m（好ましくは200~500nm）とすれば良い。材料としては、珪素を含む絶縁膜（特に窒化酸化珪素膜又は窒化珪素膜が好ましい）を用いることができる。

【0076】パッシベーション膜38の上には、各TFTを覆うような形で第2層間絶縁膜（平坦化膜と言っても良い）39を形成し、TFTによってできる段差の平坦化を行う。第2層間絶縁膜39としては、有機樹脂膜が好ましく、ポリイミド、ポリアミド、アクリル樹脂、BCB（ベンゾシクロブテン）等を用いると良い。勿論、十分な平坦化が可能であれば、無機膜を用いても良い。

【0077】第2層間絶縁膜39によってTFTによる段差を平坦化することは非常に重要である。後に形成されるEL層は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、EL層をできるだけ平坦面に形成しうるように画素電極を形成する前に平坦化しておくことが望ましい。

【0078】また、40は透明導電膜でなる画素電極（EL素子の陽極に相当する）であり、第2層間絶縁膜39及びパッシベーション膜38にコンタクトホール（開孔）を開けた後、形成された開口部において電流制御用TFT602のドレイン配線37に接続されるように形成される。

【0079】本実施例では、画素電極として酸化インジウムと酸化スズの化合物でなる導電膜を用いる。また、これに少量のガリウムを添加しても良い。さらに酸化インジウムと酸化亜鉛との化合物や酸化亜鉛と酸化ガリウムの化合物を用いることもできる。

【0080】画素電極を形成したら、樹脂膜からなる支持バンク41aを形成し、その上に金属膜からなる制御バンク41bを形成する。また、同時に画素電極40のコンタクトホールを埋め込むための絶縁膜（以下、埋め込み材という）42を形成する。本実施例ではバンク41aおよび埋め込み材42をアクリルで形成し、制御バンク41bをタングステン膜で形成する。

【0081】このとき、アクリルからなる支持バンク 41a および埋め込み材 42 の膜厚は 300 nm 以下、好ましくは 100 ~ 200 nm とし、エッジ部（端部）がテーパ形状となるようにすることが好ましい。また、タングステン膜からなる制御バンク 41b もエッジ部がテーパ形状となるように形成することが好ましい。

【0082】これらの支持バンク 41a および制御バンク 41b は、図 1 (A) に示したように画素電極 40 の端部を囲むように形成される。

【0083】次に EL 層 43 が図 2 ~ 図 5 で説明したような成膜方法により形成される。なお、ここでは一画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した EL 層が形成される。本実施例では図 2 に示した蒸着法を採用し、EL 材料としては低分子の EL 材料を用いる。

【0084】なお、本実施例では、EL 材料として、赤色発光用の EL 層には、Alq をホスト材料として赤色の蛍光色素 DCM をドーブしたものをを用いる。また、緑色発光用の EL 層には、アルミニウムの 8-ヒドロキシキノリン錯体である Alq₃ を用い、青色発光用の EL 層には亜鉛のベンゾオキサゾール錯体（Zn(oxz)）を用いる。

【0085】但し、以上の例は本発明の EL 層として用いることのできる EL 材料の一例であって、これに限定する必要はない。即ち、ここでは述べなかったような高分子の EL 材料を用いることも可能であり、さらに高分子の EL 材料と低分子の EL 材料を併用しても良い。

【0086】以上のようにして EL 層 43 を形成したら、次に金属膜からなる陰極 44 を形成する本実施例では陰極 44 として、アルミニウムにリチウムを添加した合金膜を用いる。なお、図示しないが陰極 44 の上に絶縁膜をパッシベーション膜として形成することも可能である。

【0087】こうして画素電極 40、EL 層 43 および陰極 44 を含む EL 素子 603 が形成される。実際には EL 素子 603 を形成した後、EL 素子 603 の上にカバー材を設けて不活性雰囲気中に封入するか、全面に樹脂を設けて封入し、EL 素子が外気に触れないような構造とすることが望ましい。

【0088】また、密閉空間もしくは樹脂の中に除湿剤（典型的には酸化バリウム）または酸化防止剤を設けることも有効である。

【0089】また、本実施例の発光装置を作製するにあたって実施例 1 ~ 4 のいずれの構成を用いることもできる。

【0090】〔実施例 6〕本実施例では、画素部とその周辺に設けられる駆動回路部の TFT を同時に作製する方法について図 8 ~ 図 10 を用いて説明する。但し、説明を簡単にするために、駆動回路に関しては基本回路である CMOS 回路を図示することとする。

【0091】まず、図 8 (A) に示すように、ガラス基板 800 上に下地膜 801 を 300 nm の厚さに形成する。本実施例では下地膜 801 として 100 nm 厚の窒化酸化珪素膜と 200 nm の窒化酸化珪素膜とを積層して用いる。この時、ガラス基板 800 に接する方の窒素濃度を 10 ~ 25 wt % としておくとも良い。もちろん下地膜を設けずに石英基板上に直接素子を形成しても良い。

【0092】次に下地膜 801 の上に 50 nm の厚さの非晶質珪素膜（図示せず）を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は 20 ~ 100 nm の厚さであれば良い。

【0093】そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）802 を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化方法、赤外光を用いたランプアニール結晶化方法がある。本実施例では、XeCl ガスを用いたエキシマレーザー光を用いて結晶化する。

【0094】なお、本実施例では線状に加工したパルス発振型のエキシマレーザー光を用いるが、矩形であっても良いし、連続発振型のアルゴンレーザー光や連続発振型のエキシマレーザー光を用いることもできる。

【0095】本実施例では結晶質珪素膜を TFT の活性層として用いるが、非晶質珪素膜を用いることも可能である。また、オフ電流を低減する必要のあるスイッチング用 TFT の活性層を非晶質珪素膜で形成し、電流制御用 TFT の活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【0096】次に、図 8 (B) に示すように、結晶質珪素膜 802 上に酸化珪素膜でなる保護膜 803 を 130 nm の厚さに形成する。この厚さは 100 ~ 200 nm（好ましくは 130 ~ 170 nm）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜 803 は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【0097】そして、その上にレジストマスク 804 a、804 b を形成し、保護膜 803 を介して n 型を付与する不純物元素（以下、n 型不純物元素という）を添加する。なお、n 型不純物元素としては、代表的には 15 族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではホスフィン（PH₃）を

質量分離しないでプラズマ励起したプラズマ（イオン）ドーピング法を用い、リンを 1×10^{18} atoms/cm³の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【0098】この工程により形成されるn型不純物領域805には、n型不純物元素が $2 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³（代表的には $5 \times 10^{17} \sim 5 \times 10^{18}$ atoms/cm³）の濃度で含まれるようにドーズ量を調節する。

【0099】次に、図8（C）に示すように、保護膜803およびレジスト804a、804bを除去し、添加した15族に属する元素の活性化を行う。活性化手段は公知の技術を用いれば良いが、本実施例ではエキシマレーザー光の照射により活性化する。勿論、パルス発振型でも連続発振型でも良いし、エキシマレーザー光に限定する必要はない。但し、添加された不純物元素の活性化が目的であるので、結晶質珪素膜が溶融しない程度のエネルギーで照射することが好ましい。なお、保護膜803をつけたままレーザー光を照射しても良い。

【0100】なお、このレーザー光による不純物元素の活性化に際して、熱処理による活性化を併用しても構わない。熱処理による活性化を行う場合は、基板の耐熱性を考慮して450～550℃程度の熱処理を行えば良い。

【0101】この工程によりn型不純物領域805の端部、即ち、n型不純物領域805、の周囲に存在するn型不純物元素を添加していない領域との境界部（接合部）が明確になる。このことは、後にTFTが完成した時点において、LDD領域とチャネル形成領域とが非常に良好な接合部を形成しうることを意味する。

【0102】次に、図8（D）に示すように、結晶質珪素膜の不要な部分を除去して、島状の半導体膜（以下、活性層という）806～809を形成する。

【0103】次に、図8（E）に示すように、活性層806～809を覆ってゲート絶縁膜810を形成する。ゲート絶縁膜810としては、10～200nm、好ましくは50～150nmの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。本実施例では110nm厚の窒化酸化珪素膜を用いる。

【0104】次に、200～400nm厚の導電膜を形成し、パターニングしてゲート電極811～815を形成する。このゲート電極811～815の端部をテーパ形状にすることもできる。なお、本実施例ではゲート電極と、ゲート電極に電気的に接続された引き回しのための配線（以下、ゲート配線という）とを別の材料で形成する。具体的にはゲート電極よりも低抵抗な材料をゲート配線として用いる。これは、ゲート電極としては微細加工が可能な材料を用い、ゲート配線には微細加工はできなくとも配線抵抗が小さい材料を用いるためである。勿論、ゲート電極とゲート配線とを同一材料で形成しても構わない。

【0105】また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。ただし、上述のように微細加工が可能、具体的には2μm以下の線幅にパターニング可能な材料が好ましい。

【0106】代表的には、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、クロム（Cr）、シリコン（Si）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはMo-W合金、Mo-Ta合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【0107】本実施例では、50nm厚の窒化タンタル（Ta₂N）膜と、350nm厚のタングステン（W）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてXe、Ne等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【0108】またこの時、ゲート電極812はn型不純物領域805の一部とゲート絶縁膜810を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったLDD領域となる。なお、ゲート電極813、814は、断面では、二つに見えるが実際には電気的に接続されている。

【0109】次に、図9（A）に示すように、ゲート電極811～815をマスクとして自己整合的にn型不純物元素（本実施例ではリン）を添加する。こうして形成される不純物領域816～823にはn型不純物領域805の1/2～1/10（代表的には1/3～1/4）の濃度でリンが添加されるように調節する。具体的には、 $1 \times 10^{16} \sim 5 \times 10^{18}$ atoms/cm³（典型的には $3 \times 10^{17} \sim 3 \times 10^{18}$ atoms/cm³）の濃度が好ましい。

【0110】次に、図9（B）に示すように、ゲート電極等を覆う形でレジストマスク824a～824dを形成し、n型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域825～829を形成する。ここでもホスフィン（PH₃）を用いたイオンドーピング法で行い、この領域のリンの濃度は $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³（代表的には $2 \times 10^{20} \sim 5 \times 10^{20}$ atoms/cm³）となるように調節する。

【0111】この工程によってnチャネル型TFTのソース領域若しくはドレイン領域が形成されるが、スイッチング用TFTでは、図9（A）の工程で形成したn型不純物領域819～821の一部を残す。この残された領域が、図6におけるスイッチング用TFT601のLDD領域15a～15dに対応する。

【0112】次に、図9(C)に示すように、レジストマスク824a~824dを除去し、新たにレジストマスク832を形成する。そして、p型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域833~836を形成する。ここではジボラン(B_2H_6)を用いたイオンドープ法により $3 \times 10^{10} \sim 3 \times 10^{11} \text{ atoms/cm}^2$ （代表的には $5 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$ ）の濃度となるようにボロンを添加する。

【0113】なお、不純物領域833~836には既に $1 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$ の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも3倍以上の濃度で添加される。そのため、予め形成されていたn型の不純物領域は完全にp型に反転し、p型の不純物領域として機能する。

【0114】次に、レジストマスク832を除去した後、それぞれの濃度で添加されたn型またはp型不純物元素を活性化する。活性化手段としては、ファーンズアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、550℃、4時間の熱処理を行う。

【0115】このとき雰囲気中の酸素を極力排除することが重要である。なぜならば酸素が少しでも存在していると露呈したゲート電極の表面が酸化され、抵抗の増加を招くと共に後にオーミックコンタクトを取りにくくなるからである。従って、上記活性化工程における処理雰囲気中の酸素濃度は1ppm以下、好ましくは0.1ppm以下とすることが望ましい。

【0116】次に、活性化工程が終了したら図9(D)に示すように300nm厚のゲート配線837を形成する。ゲート配線837の材料としては、アルミニウム

(Al)又は銅(Cu)を主成分(組成として50~100%を占める。)とする金属を用いれば良い。配置としては図7のようにゲート配線611とスイッチング用TFTのゲート電極19a、19b(図8(E)の813、814)が電気的に接続するように形成する。

【0117】このような構造とすることでゲート配線の配線抵抗を非常に小さくすることができるため、面積の大きい画像表示領域(画素部)を形成することができる。即ち、画面の大きさが対角10インチ以上(さらには30インチ以上)の発光装置を実現する上で、本実施例の画素構造は極めて有効である。

【0118】次に、図10(A)に示すように、第1層間絶縁膜838を形成する。第1層間絶縁膜838としては、珪素を含む絶縁膜を単層で用いるか、2種類以上の珪素を含む絶縁膜を組み合わせた積層膜を用いれば良い。また、膜厚は400nm~1.5μmとすれば良い。本実施例では、200nm厚の窒化酸化珪素膜の上に800nm厚の酸化珪素膜を積層した構造とする。

【0119】さらに、3~100%の水素を含む雰囲気

中で、300~450℃で1~12時間の熱処理を行い、水素化処理をする。この工程は熱的に励起された水素により半導体膜の不對結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマ化して生成された水素を用いる)を行っても良い。

【0120】なお、水素化処理は第1層間絶縁膜838を形成する間に入れても良い。即ち、200nm厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800nm厚の酸化珪素膜を形成してもよい。

【0121】次に、第1層間絶縁膜838及びゲート絶縁膜810に対してコンタクトホールを形成し、ソース配線839~842と、ドレイン配線843~845を形成する。なお、本実施例ではこの電極を、Ti膜を100nm、Tiを含むアルミニウム膜を300nm、Ti膜150nmをスパッタ法で連続形成した3層構造の積層膜とする。勿論、他の導電膜でも良い。

【0122】次に、50~500nm(代表的には200~300nm)の厚さでパッシベーション膜846を形成する。本実施例では第1パッシベーション膜846として300nm厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。

【0123】なお、窒化酸化珪素膜の形成に先立って H_2 、 NH_3 等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1層間絶縁膜838に供給され、熱処理を行うことで、パッシベーション膜846の膜質が改善される。それと同時に、第1層間絶縁膜838に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【0124】次に、図10(B)に示すように有機樹脂からなる第2層間絶縁膜847を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル樹脂、BCB(ベンゾシクロブテン)等を使用することができる。特に、第2層間絶縁膜847は平坦化の意味合いが強いので、平坦性に優れたアクリル樹脂が好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル樹脂膜を形成する。好ましくは1~5μm(さらに好ましくは2~4μm)とすれば良い。

【0125】次に、第2層間絶縁膜847及びパッシベーション膜846に対してコンタクトホールを形成し、ドレイン配線845と電気的に接続される画素電極848を形成する。本実施例では酸化インジウム・スズ(ITO)膜を110nmの厚さに形成し、パターニングを行って画素電極とする。また、酸化インジウムに2~20%の酸化亜鉛(ZnO)を混合した化合物や、酸化亜鉛と酸化ガリウムからなる化合物を透明電極として用いても良い。この画素電極がEL素子の陽極となる。

【0126】次に、図10(C)に示すように、樹脂からなる支持バンク849a及び埋め込み材850を形成

する。これらは500nmのアクリル膜を成膜した後、エッチングを施して膜厚を200nmとし、パターニングして図10(C)に示すような形状にする。

【0127】さらに、支持バンク849aの上には金属膜からなる制御バンク849bが形成される。本実施例では金属膜としてタングステン膜を用い、エッチングの際にテーパー形状とする。テーパーを形成する技術は、本出願人による特願平11-206954号出願を参照すると良い。

【0128】次に、EL層851を、図2～図5に示した方法により形成する。なお、ここでは一画素しか図示していないが、R(赤)、G(緑)、B(青)の各色に対応したEL層が形成される。本実施例では、EL材料として、赤色発光用のEL層には、Alq₃をホスト材料として赤色の蛍光色素DCMをドープしたものをを用いる。また、緑色発光用のEL層には、アルミニウムの8-ヒドロキシキノリン錯体であるAlq₃を用い、青色発光用のEL層には亜鉛のベンゾオキサゾール錯体(Zn(oxz)₂)を用い、各々50nmの厚さに形成する。

【0129】なお、本実施例ではEL層851を単層構造とするが、必要に応じて電子注入層、電子輸送層、正孔輸送層、正孔注入層、電子阻止層もしくは正孔素子層を設けても良い。

【0130】EL層851を形成した後、アルミニウムとリチウムとの合金膜からなる陰極852を真空蒸着法を用いて形成する。なお、EL層851の膜厚は30～100nm(典型的には50～80nm)、陰極852の厚さは150～300nm(典型的には200～250nm)とすれば良い。また、本実施例ではEL素子の陰極852としてアルミニウムとリチウムとの合金膜を用いた例を示すが、公知の他の材料であっても良い。

【0131】ここでスイッチング用TFTとして、nチャネル型TFTを用いた場合の断面構造を図11に示す。まず、図11(A)は、LDD領域15a～15dがゲート絶縁膜18を挟んでゲート電極19a及び19bと重ならないように設けられている。このような構造は、オフ電流値を低減する上で非常に効果的である。

【0132】これに対して、図11(B)には、これらのLDD領域15a～15dは設けられていない。図11(B)の構造とする場合には、図11(A)の構造を形成させる場合に比べて工程を減らすことができるので生産効率を向上させることができる。

【0133】本発明において、スイッチング用TFTとしては、図11(A)及び図11(B)のどちらの構造を用いても良い。

【0134】次に、電流制御用TFTとして、nチャネル型TFTを用いた場合の断面構造を図12に示す。まず、図12(A)に示した電流制御用TFTにおいて、ドレイン領域32とチャネル形成領域34との間にLDD

D領域33が設けられる。ここでは、LDD領域33がゲート絶縁膜18を挟んでゲート電極35に重なっている領域と重なっていない領域とを有する構造を示したが、図12(B)に示すようにLDD領域33を設けない構造としてもよい。

【0135】電流制御用TFTは、EL素子を発光させるための電流を供給すると同時に、その供給量を制御して階調表示を可能とする。そのため、電流を流しても劣化しないようにホットキャリア注入による劣化対策を講じておく必要がある。

【0136】ホットキャリア注入による劣化に関しては、ゲート電極に対してLDD領域が重なった構造が非常に効果的であることが知られている。そのため、図12(A)に示したようにゲート絶縁膜18を挟んでゲート電極35に重なっている領域にLDD領域を設けるという構造が適当であるが、ここではオフ電流対策としてゲート電極に重ならないLDD領域も設けるという構造を示した。しかし、ゲート電極に重ならないLDD領域は、必ずしも設けなくて良い。

【0137】また、電流制御用TFTのソース領域とドレイン領域との間に加わる電圧が10V以下、好ましくは5V以下となると、ホットキャリア劣化が問題とならなくなってくるので図12(B)に示すようにLDD領域を設けなくても良い。

【0138】また、本実施例の場合、図10(C)に示すように、nチャネル型605の活性層は、ソース領域855、ドレイン領域856、LDD領域857及びチャネル形成領域858を含み、LDD領域857はゲート絶縁膜810を挟んでゲート電極812と重なっている。

【0139】ドレイン領域側のみにLDD領域を形成しているのは、動作速度を落とさないための配慮である。また、このnチャネル型TFT605はオフ電流値をあまり気にする必要はなく、それよりも動作速度を重視した方が良い。従って、LDD領域857は完全にゲート電極に重なってしまい、極力抵抗成分を少なくすることが望ましい。即ち、いわゆるオフセットはなくした方がよい。

【0140】こうして図10(C)に示すような構造のアクティブマトリクス基板が完成する。本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上する。

【0141】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFT605として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路(サンプル及びホールド回路)などが含まれる。デジタル駆動を行う場合には、D/Aコンバータ

などの信号変換回路も含まれる。

【0142】なお、実際には図10(C)まで完成したら、さらに外気に曝されないように気密性の高いガラス、石英、プラスチックといったカバー材でパッケージング(封入)することが好ましい。その際、カバー材の内部に内部に酸化バリウムといった吸湿剤や酸化防止剤を配置するとよい。

【0143】また、パッケージング等の処理により気密性を高めたら、絶縁体上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ(フレキシブルプリントサーキット:FPC)を取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではEL表示装置(またはELモジュール)という。

【0144】なお、画素部に信号を伝送する駆動回路やその他のメモリ、コントロール回路、電源回路等を単結晶シリコンを用いたICで設けても良い。その場合、ICはTABもしくはCOGを用いて接続すれば良く、プリント配線基盤に実装したICをTABテープで接続する方式を採用しても良い。

【0145】ここで本実施例の発光装置の構成を図13の斜視図を用いて説明する。本実施例の発光装置は、ガラス基板1301上に形成された、画素部1302と、ゲート側駆動回路1303と、ソース側駆動回路1304を含む。画素部のスイッチング用TFT1305はnチャネル型TFTであり、ゲート側駆動回路1303に接続されたゲート配線1306、ソース側駆動回路1304に接続されたソース配線1307の交点に配置されている。また、スイッチング用TFT1305のドレインは電流制御用TFT1308のゲートに接続されている。

【0146】さらに、電流制御用TFT1308のソース側は電流供給線1309に接続される。また、電流制御用TFT1308のドレインにはEL素子1310が接続されている。また、このEL素子1310の陰極には所定の電圧が加えられる。

【0147】そして、外部入出力端子となるFPC1311には駆動回路部まで信号を伝達するための接続配線1312、1313、及び電流供給線1309に接続された接続配線1314が設けられている。

【0148】また、図13に示した発光装置の回路構成の一例を図14に示す。本実施例の発光装置は、ソース側駆動回路1401、ゲート側駆動回路(A)1407、ゲート側駆動回路(B)1411、画素部1406を有している。なお、本明細書中において、駆動回路部とはソース側処理回路およびゲート側駆動回路を含めた総称である。

【0149】ソース側駆動回路1401は、シフトレジスタ1402、レベルシフタ1403、バッファ1404、サンプリング回路(トランスファゲート)1405

を備えている。また、ゲート側駆動回路(A)1407は、シフトレジスタ1408、レベルシフタ1409、バッファ1410を備えている。ゲート側駆動回路(B)1411も同様な構成である。

【0150】ここでシフトレジスタ1402、1408は駆動電圧が5~16V(代表的には10V)であり、回路を形成するCMOS回路に使われるnチャネル型TFTは図10(C)の605で示される構造が適している。

【0151】また、レベルシフタ1403、1409、バッファ1404、1410はシフトレジスタと同様に、図10(C)のnチャネル型TFT605を含むCMOS回路が適している。なお、ゲート配線をダブルゲート構造、トリプルゲート構造といったマルチゲート構造とすることは、各回路の信頼性を向上させる上で有効である。

【0152】また、画素部1406は図6に示した構造の画素を配置する。

【0153】なお、上記構成は、図8~10に示した作製工程に従ってTFTを作製することによって容易に実現することができる。また、本実施例では画素部と駆動回路部の構成のみ示しているが、本実施例の作製工程に従えば、その他にも信号分割回路、D/Aコンバータ回路、オペアンプ回路、 γ 補正回路など駆動回路以外の論理回路を同一絶縁体上に形成することが可能であり、さらにはメモリ部やマイクロプロセッサ等を形成しようと考えている。

【0154】さらに、カバー材をも含めた本実施例のELモジュールについて図15(A)、(B)を用いて説明する。なお、必要に応じて図13、図14で用いた符号を引用することにする。

【0155】図15(A)は、図10に示した状態にシーリング構造を設けた状態を示す上面図である。点線で示された1302は画素部、1303はゲート側駆動回路、1304はソース側駆動回路である。本発明のシーリング構造は、図10の状態に対して充填材(図示せず)、カバー材1501、シール材(図示せず)及びフレーム材1502を設けた構造である。

【0156】ここで、図15(A)をA-A'で切断した断面図を図15(B)に示す。なお、図15(A)、(B)では同一の部位に同一の符号を用いている。

【0157】図15(B)に示すように、基板1301上には画素部1302、ゲート側駆動回路1303が形成されており、画素部1302は電流制御用TFT602とそれに電氣的に接続された画素電極848を含む複数の画素により形成される。また、ゲート側駆動回路1303はnチャネル型TFT605とpチャネル型TFT606とを相補的に組み合わせたCMOS回路を用いて形成される。

【0158】画素電極848はEL素子の陽極として機

能する。また、画素電極 848 間の隙間には支持バンク 849a 及び制御バンク 849b が形成され、支持バンク 849a 及び制御バンク 849b の内側に EL 層 851、陰極 852 が形成される。勿論、EL 素子の構造を反対とし、画素電極を陰極としても構わない。

【0159】本実施例の場合、陰極 852 は画素列ごとに共通の配線としても機能し、接続配線 1312 を経由して FPC1311 に電氣的に接続されている。

【0160】次に、EL 素子を覆うようにして充填材 1503 を設ける。この充填材 1503 はカバー材 1501 を接着するための接着剤としても機能する。充填材 1503 としては、PVC (ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB (ポリビニルブチラル) または EVA (エチレンビニルアセテート) を用いることができる。この充填材 1503 の内部に乾燥剤 (図示せず) を設けておくと、吸湿効果を保ち続けられるので好ましい。このとき、乾燥剤は充填材に添加されたものであっても良いし、充填材に封入されたものであっても良い。

【0161】また、本実施例ではカバー材 1501 としては、ガラス、プラスチック、およびセラミックスでなる材料を用いることができる。なお、充填材 1503 の内部に予め酸化バリウム等の吸湿剤を添加しておくことは有効である。

【0162】次に、充填材 1503 を用いてカバー材 1501 を接着した後、充填材 1503 の側面 (露呈面) を覆うようにフレーム材 1502 を取り付ける。フレーム材 1502 はシール材 (接着剤として機能する) 1504 によって接着される。このとき、シール材 1504 としては、光硬化性樹脂を用いるのが好ましいが、EL 層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シール材 1504 はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シール材 1504 の内部に乾燥剤を添加してあっても良い。

【0163】以上のような方式を用いて EL 素子を充填材 1503 に封入することにより、EL 素子を外部から完全に遮断することができ、外部から水分や酸素等の EL 層の酸化による劣化を促す物質が侵入することを防ぐことができる。従って、信頼性の高い EL 表示装置を作製することができる。

【0164】また、本実施例に示した発光装置の表示面 (画像を観測する面) に偏光板を設けても良い。この偏光板は、外部から入射した光の反射を抑え、観測者が表示面に映り込むことを防ぐ効果を有する。一般的には円偏光板が用いられている。但し、EL 層から発した光が偏光板により反射されて内部に戻されることを防ぐため、屈折率を調節して内部反射の少ない構造とすることが望ましい。

【0165】【実施例 7】実施例 1~6 では、絶縁体の上に陽極、EL 層、陰極の順に積層していく場合につい

て主に説明したが、陰極、EL 層、陽極および補助配線の順に積層していくことも可能である。

【0166】前者は絶縁体を通過した光を観測することになるのに対して、後者は絶縁体から離れる方向に光が放射される。

【0167】【実施例 8】本実施例では、多面取りにより 1 枚の基板から複数の発光装置を作製する場合に本発明を実施する例について説明する。説明には図 16 を用いる。

【0168】ガラス基板 1601 上には画素部 1602a および駆動回路 1602b を含む複数の発光装置が形成されている。本実施例では 1 枚のガラス基板上に九つの発光装置が形成されることになる。また、各発光装置の画素部 1602a は図 1 に示すような構造からなり、各画素部 1602a にはマトリクス状に制御バンク 1603 が形成されている。

【0169】本実施例では、制御バンク 1603 が全て同電位となるように個々の制御バンクを接続するための配線 (以下、バンク接続配線という) 1604 が形成され、パッド部 1605 に電圧を加えればその電圧が全て陽極に伝わるようになっていく。そして、バンク接続配線 1604 を静電対策に活用する点に特徴がある。即ち、全てが同電位になっていれば突発的に大きな電圧が配線間に加わることもないため、絶縁破壊等を効果的に抑制することができる。

【0170】ここで、点線で囲まれた領域 1600 の拡大図を図 17 (A) に示す。図 17 (A) に示すように、バンク接続配線 1604 は制御バンク 1603 と同時に形成されており、途中にバッファ配線 1606 で連結された部分を有する。このバッファ配線 1606 は画素電極 (本実施例では EL 素子の陽極) と同時に酸化物導電膜を用いて形成される。

【0171】ここで図 17 (A) を A-A' で切断した断面図を図 17 (B) に示す。なお、1607 は TFT を作製する過程で積層された層間絶縁膜である。

【0172】バッファ配線 1606 として用いる酸化物導電膜は金属膜に比べて抵抗値が高いため、バッファ配線は一種の抵抗体として機能することになる。そのため、バンク接続配線 1604 に大電流が流れたとしても、バッファ配線で緩衝され、複数の発光装置に被害が及ぶのを防ぐことが可能となる。

【0173】このように本実施例の構成とすることで、多面取りプロセスにより一度に複数の発光装置を作製する場合にも、複雑な配線を施すことなく、本発明を実施することが可能となる。

【0174】また、発光装置が完成したら、ダイサーもしくはスクライバーを用いて基板 1601 を分断し、発光装置を個々に分離すれば良い。このとき、バンク接続配線 1604 も分断してしまえば、各発光装置は電氣的に孤立した状態となる。なお、本実施例の構成は実施例

1～7のいずれの構成とも自由に組み合わせて実施することが可能である。

【0175】〔実施例9〕本実施例では、本発明とシャドーマスクとを組み合わせる場合について説明する。説明には図18を用いる。なお、図2に示した構造と同一の部分は同一の符号を用いて説明する。

【0176】図18では、制御バンク105bの上方に、さらにシャドーマスク1801を設け、シャドーマスク1801を負に帯電させておく。即ち、シャドーマスク1801と制御バンク105bを同じ極性に帯電させておく。

【0177】このとき、制御バンク105b間の距離を X_1 とし、シャドーマスク1801に設けられた開口部の距離を X_2 とすると、 $X_1 < X_2$ の関係とすることが好ましい。このようにすると、シャドーマスク1801の上方から飛んできたEL材料（もしくはEL材料を含む溶液）201は、まずシャドーマスク1801が形成する電界によりシャドーマスク1801の開口部付近に導かれる。さらに、制御バンク105bが形成する電界により画素内へと導かれる。こうしてEL層202が成膜される。

【0178】本実施例の構成は、特に赤色発光用のEL材料、緑色発光用のEL材料および青色発光用のEL材料を分けて成膜する場合のように、異なる種類のEL材料を複数回に分けて成膜する場合に有効である。

【0179】なお、本実施例の構成は実施例1～8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0180】〔実施例10〕本実施例では、シャドーマスクを用いることなく、本発明の電界制御により赤色発光用のEL材料、緑色発光用のEL材料および青色発光用のEL材料を分けて成膜する場合について説明する。

【0181】本実施例の概念を図19(A)、(B)に示す。図19(A)、(B)では、図示しない絶縁体（本発明ではTFT上に形成された層間絶縁膜）上に画素電極1901～1903が形成され、それらを囲むようにマトリクス状に加工された制御バンク1904が形成されている。

【0182】本実施例では、まず図19(A)に示すように、画素電極1902のみ正に帯電させ、他の画素電極1901、1903を負に帯電させる。さらに制御バンク1904を負に帯電させ、この状態で負に帯電させた赤色発光用のEL材料を蒸着法により成膜する。このとき、負に帯電した画素電極1901、1903上ではEL材料が反発され、殆どが正に帯電した陽極1902上に成膜される。こうして赤色発光用のEL層1905が成膜される。

【0183】次に、図19(B)に示すように、画素電極1901のみ正に帯電させ、他の陽極1902、1903を負に帯電させる。さらに制御バンク1904を負

に帯電させ、この状態で負に帯電させた緑色発光用のEL材料を蒸着法により成膜する。このとき、負に帯電した画素電極1902、1903上ではEL材料が反発され、殆どが正に帯電した画素電極1901上に成膜される。こうして緑色発光用のEL層1906が成膜される。

【0184】さらに、図示しないが、青色発光用のEL層も同様に画素電極1903のみを正に帯電させ、他の陽極1901、1902を負に帯電させて青色発光用のEL材料を成膜すれば良い。

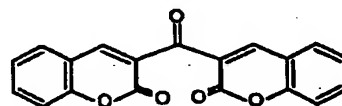
【0185】本実施例の構成では、制御バンク1904が形成する電界および画素電極1901～1903が形成する電界により、EL材料の軌道を決定し、シャドーマスクを用いずに選択的な成膜を可能とするものである。

【0186】なお、本実施例の構成は実施例1～8のいずれの構成とも自由に組み合わせて実施することが可能である。

【0187】〔実施例11〕本発明において、三重項励起からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo, 1991) p.437.)上記論文に報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0188】

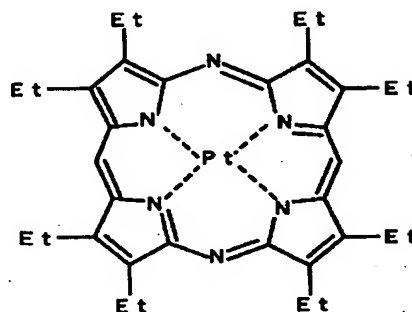
〔化1〕



【0189】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)上記論文に報告されたEL材料（Pt錯体）の分子式を以下に示す。

【0190】

〔化2〕



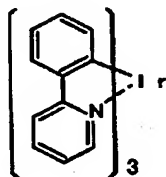
【0191】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett., 75 (1999) p.4.)

(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)

上記論文に報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0192】

【化3】



【0193】以上のように三重項励起子からの蛍光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3~4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1~実施例9のいずれの構成とも自由に組み合わせて実施することが可能である。

【0194】〔実施例12〕本発明を実施して形成された発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。その際、本発明の発光装置はパッシブ型の発光装置でありながらも配線抵抗を減らすことで大画面化を可能としているため、用途も幅広いものとすることができる。

【0195】本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、カーナビゲーションシステム、カーオーディオ、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍)、記録媒体を備えた画像再生装置(具体的にはコンパクトディスク(CD)、レーザーディスク(登録商標)(LD)又はデジタルバーサタイルディスク(DVD)等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置)などが挙げられる。それら電気器具の具体例を図20、図21に示す。

【0196】図20(A)はELディスプレイであり、筐体2001、支持台2002、表示部2003を含む。本発明の発光装置は表示部2003に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、表示部2003に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【0197】図20(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106を含む。本発明の発光装置は表示部2102に用いることができる。なお、表示部2102に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0198】図20(C)はデジタルカメラであり、本体2201、表示部2202、接眼部部2203、操作スイッチ2204を含む。本発明の発光装置は表示部2202に用いることができる。なお、表示部2202に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0199】図20(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(CD、LDまたはDVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305を含む。表示部(a)は主として画像情報を表示し、表示部(b)は主として文字情報を表示するが、本発明の発光装置はこれら表示部(a)、(b)に用いることができる。なお、記録媒体を備えた画像再生装置には、CD再生装置、ゲーム機器なども含まれる。なお、表示部(a)2304、表示部(b)2305に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【0200】図20(E)は携帯型(モバイル)コンピュータであり、本体2401、表示部2402、受像部2403、操作スイッチ2404、メモリスロット2405を含む。本発明の電気光学装置は表示部2402に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。なお、表示部2402に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0201】図20(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504を含む。本発明の発光装置は表示部2503に用いることができる。なお、表示部2503に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【0202】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0203】また、上記電子装置はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、そのような動画表示を行うに適し

ている。

【0204】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0205】ここで図21(A)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0206】また、図21(B)はカーオーディオであり、本体2701、表示部2702、操作スイッチ2703、2704を含む。本発明の発光装置は表示部2702に用いることができる。また、本実施例では車載用カーオーディオを示すが、据え置き型のカーオーディオに用いても良い。なお、表示部2704は黒色の背景に白色の文字を表示することで消費電力を抑えられる。なお、表示部2704に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【0207】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例1~10の構成を自由に組み合わせた発光装置を用いることで得ることができる。

【0208】

【発明の効果】本発明を実施することでEL材料を成膜するにあたって成膜位置を精密に制御することが可能となる。そのため高精細な画素部を有する発光装置を作製

することができる。また、必要な部分に優先的にEL材料を成膜することができるため、EL材料の利用効率が高まり、製造コストを低減することができる。さらに、本発明の発光装置を表示部として用いることで高精細な表示部を有した電気器具を得ることができる。

【図面の簡単な説明】

【図1】 発光装置の上面構造および断面構造を示す図。

【図2】 EL材料の成膜工程を説明するための図。

【図3】 蒸着法によるEL材料の成膜工程を説明するための図。

【図4】 インクジェット法によるEL材料の成膜工程を説明するための図。

【図5】 イオンプレーティング法によるEL材料の成膜工程を説明するための図。

【図6】 発光装置の画素部の断面構造を示す図。

【図7】 発光装置の画素部の上面構造および回路構成を示す図。

【図8】 発光装置の作製方法を示す図。

【図9】 発光装置の作製方法を示す図。

【図10】 発光装置の作製方法を示す図。

【図11】 スイッチング用TFTの構造を示す図。

【図12】 電流制御用TFTの構造を示す図。

【図13】 発光装置の外観を示す図。

【図14】 発光装置の回路構成を示す図。

【図15】 発光装置の上面構造および断面構造を示す図。

【図16】 多面取りプロセスを説明するための図。

【図17】 多面取りプロセスを説明するための図。

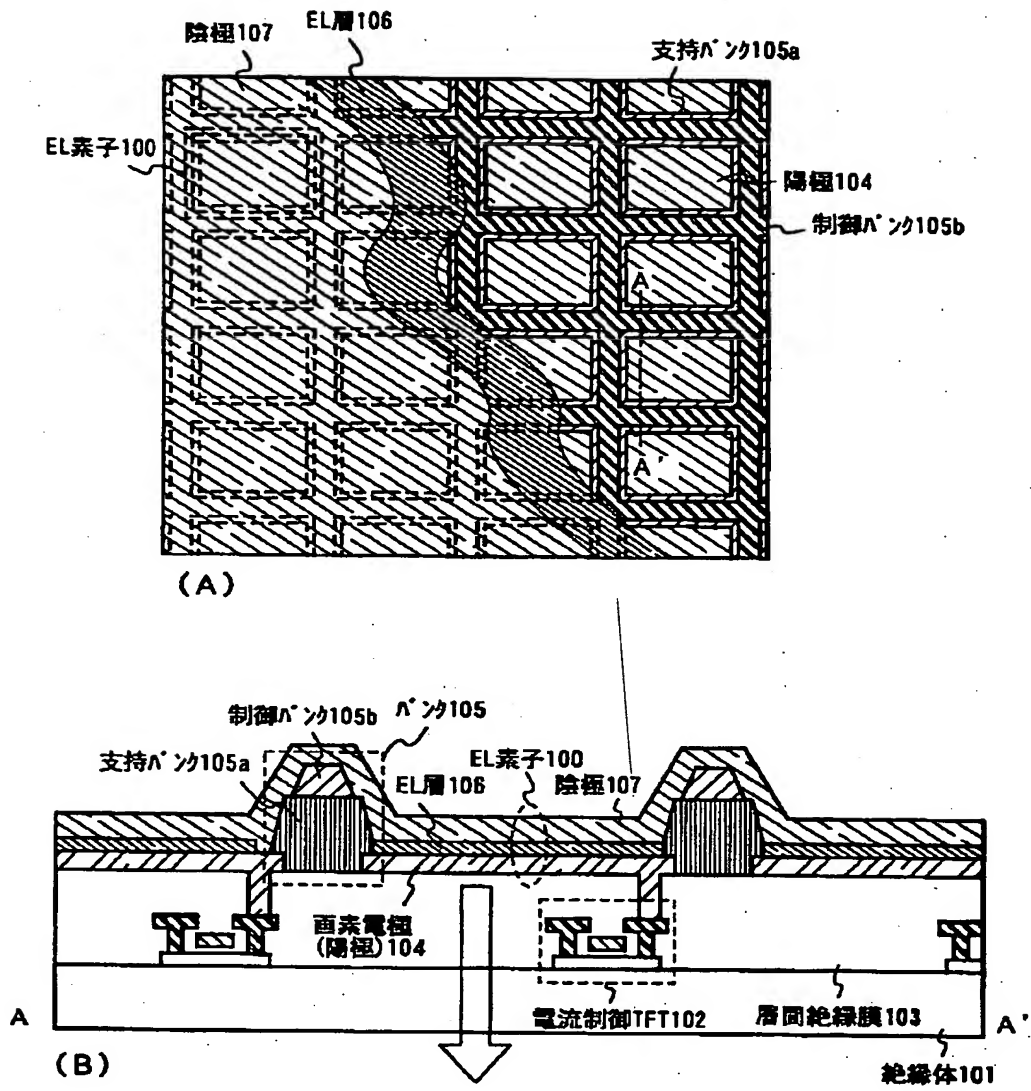
【図18】 EL材料の成膜工程を説明するための図。

【図19】 EL材料の成膜工程を説明するための図。

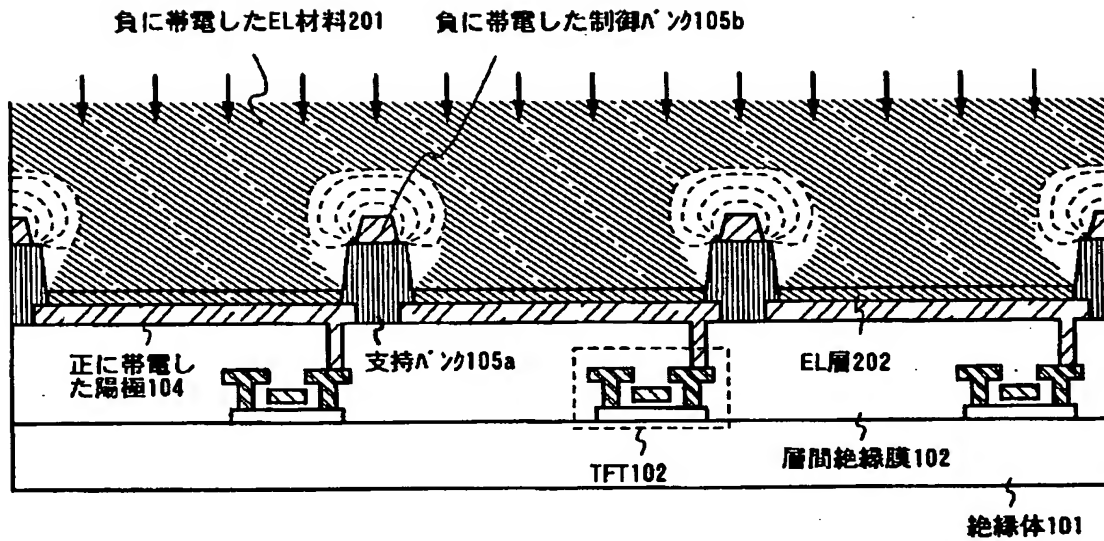
【図20】 電気器具の一例を示す図。

【図21】 電気器具の一例を示す図。

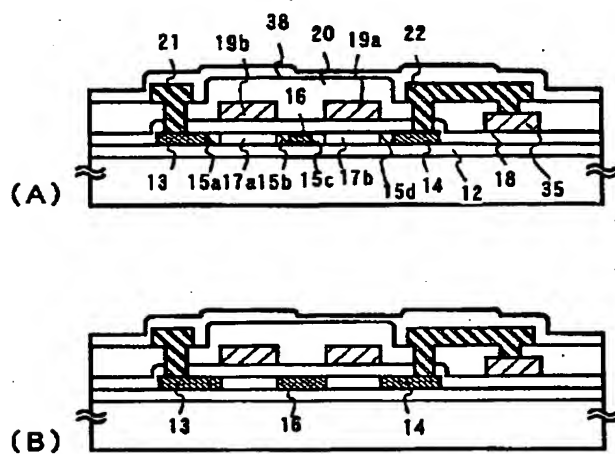
【図 1】



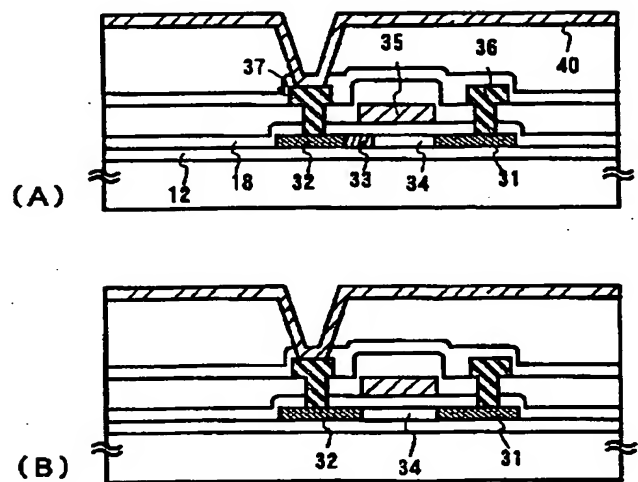
【図2】



【図11】



【図12】



基板315 陽極311 TFT313 サセブタ316 制御ゲート310

正電源314 負電源312

隔壁302

負電源303

蒸着室301

気体EL材料309

リング状電極320

蒸着源304

支持台306

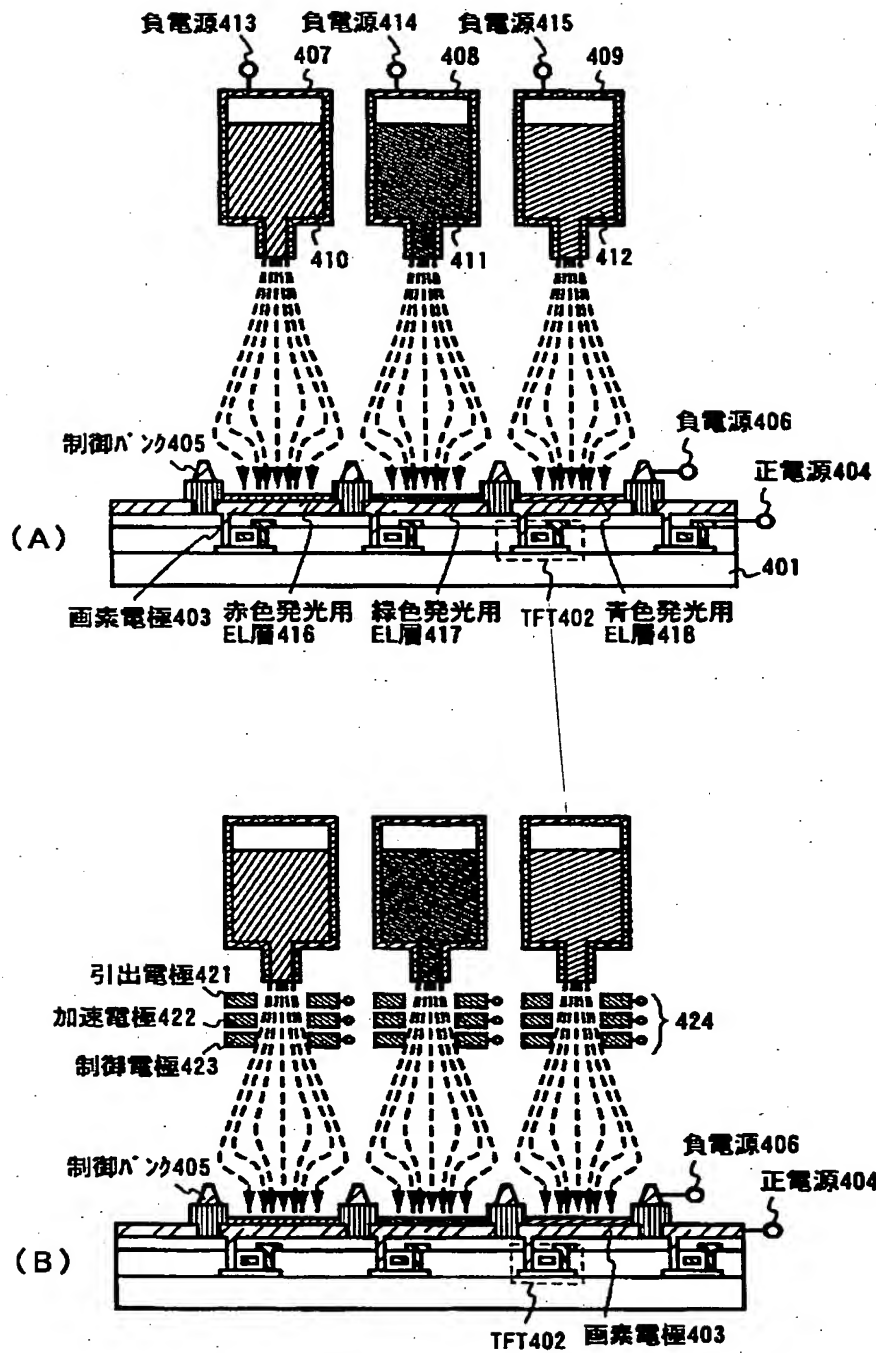
固体EL材料305

電源307b

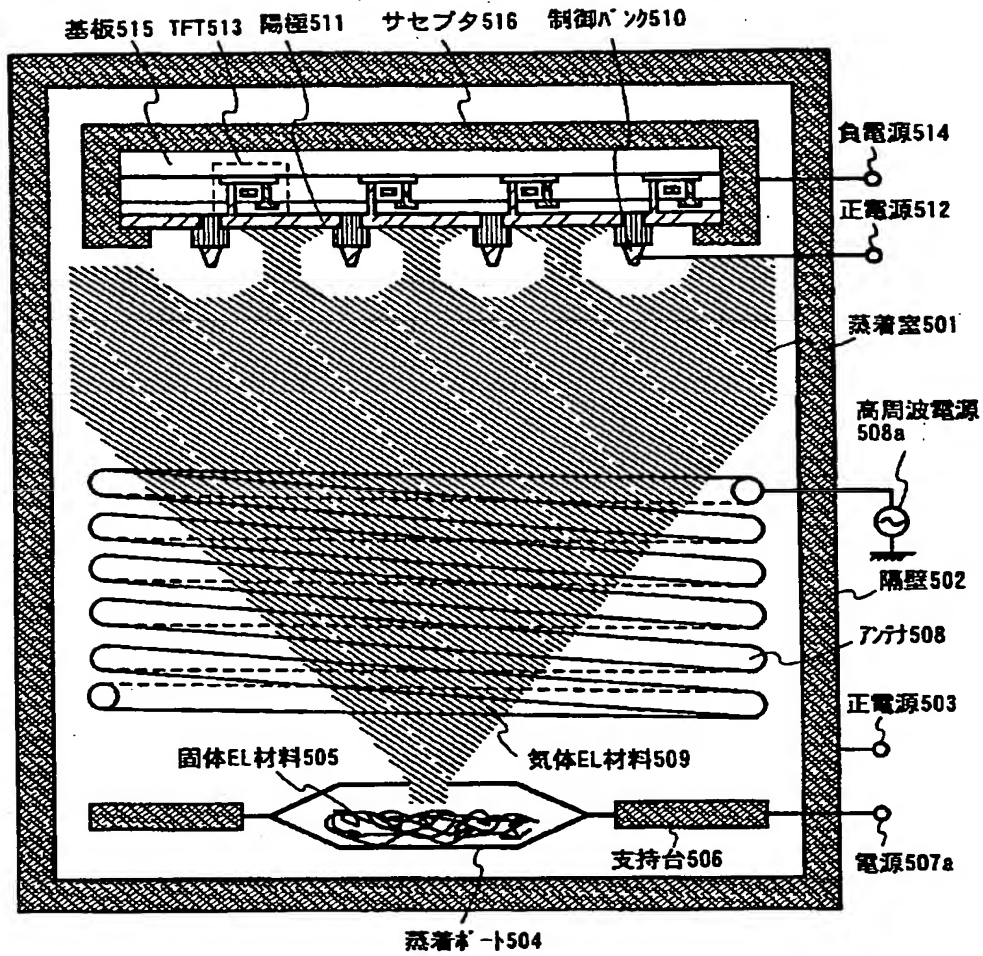
電源307a

1301: 基板 1302: 画素部 1303: ゲート側駆動回路
1304: ソース側駆動回路 1305: スイッチング用TFT 1306: ゲート配線
1307: ソース配線 1308: 電流制御用TFT 1309: 電源供給線
1310: EL素子 1311: FPC 1312~1314: 接続配線
1315: コデック

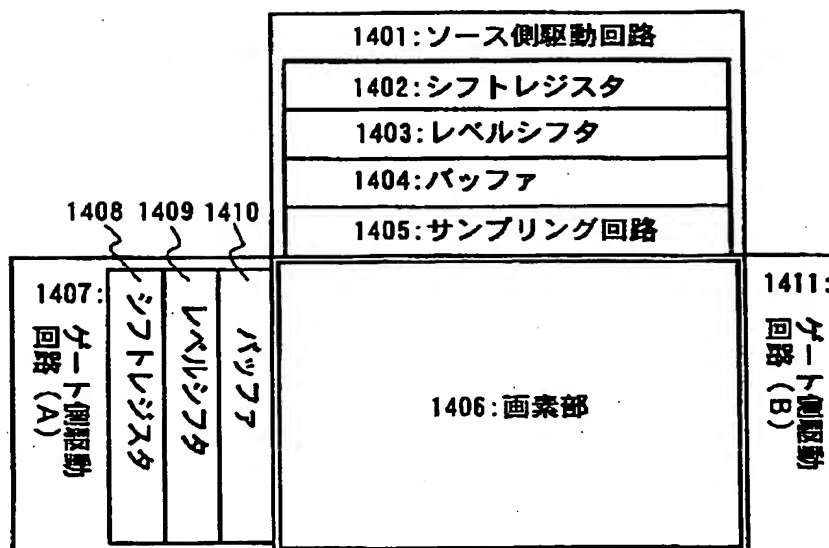
【図 4】



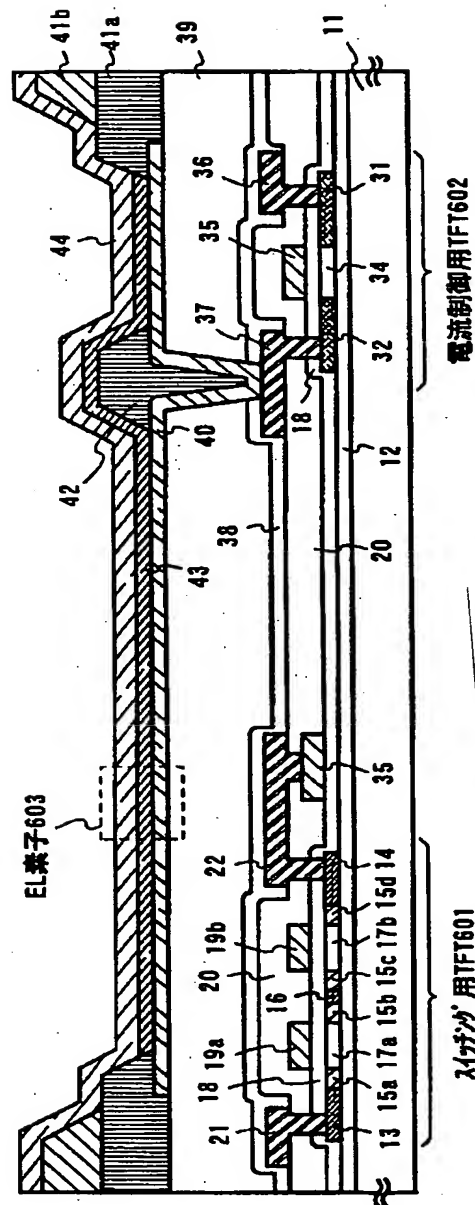
【図5】



【図14】

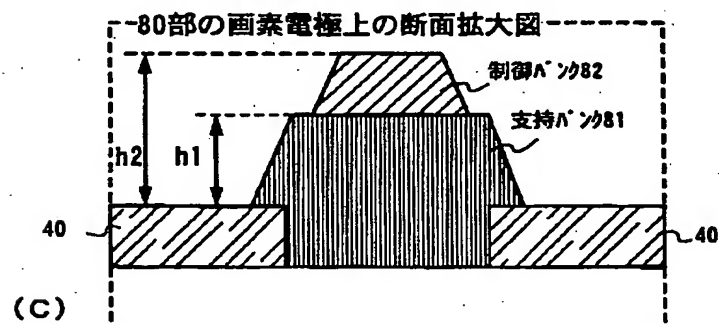
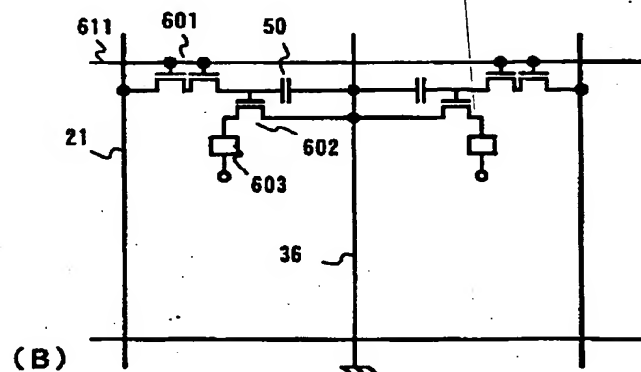
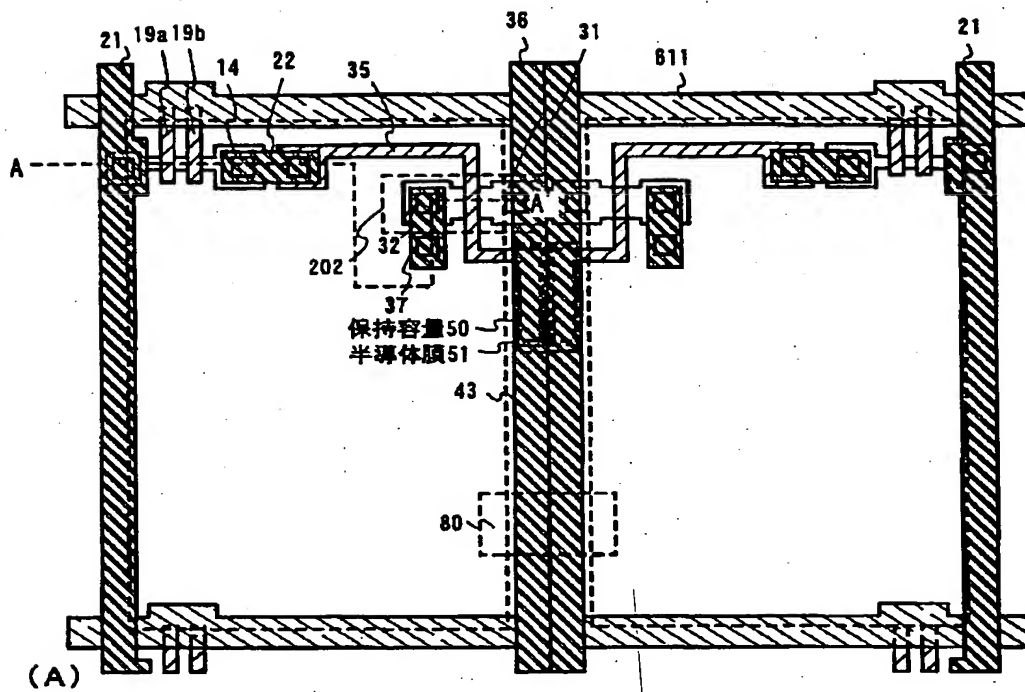


【図6】

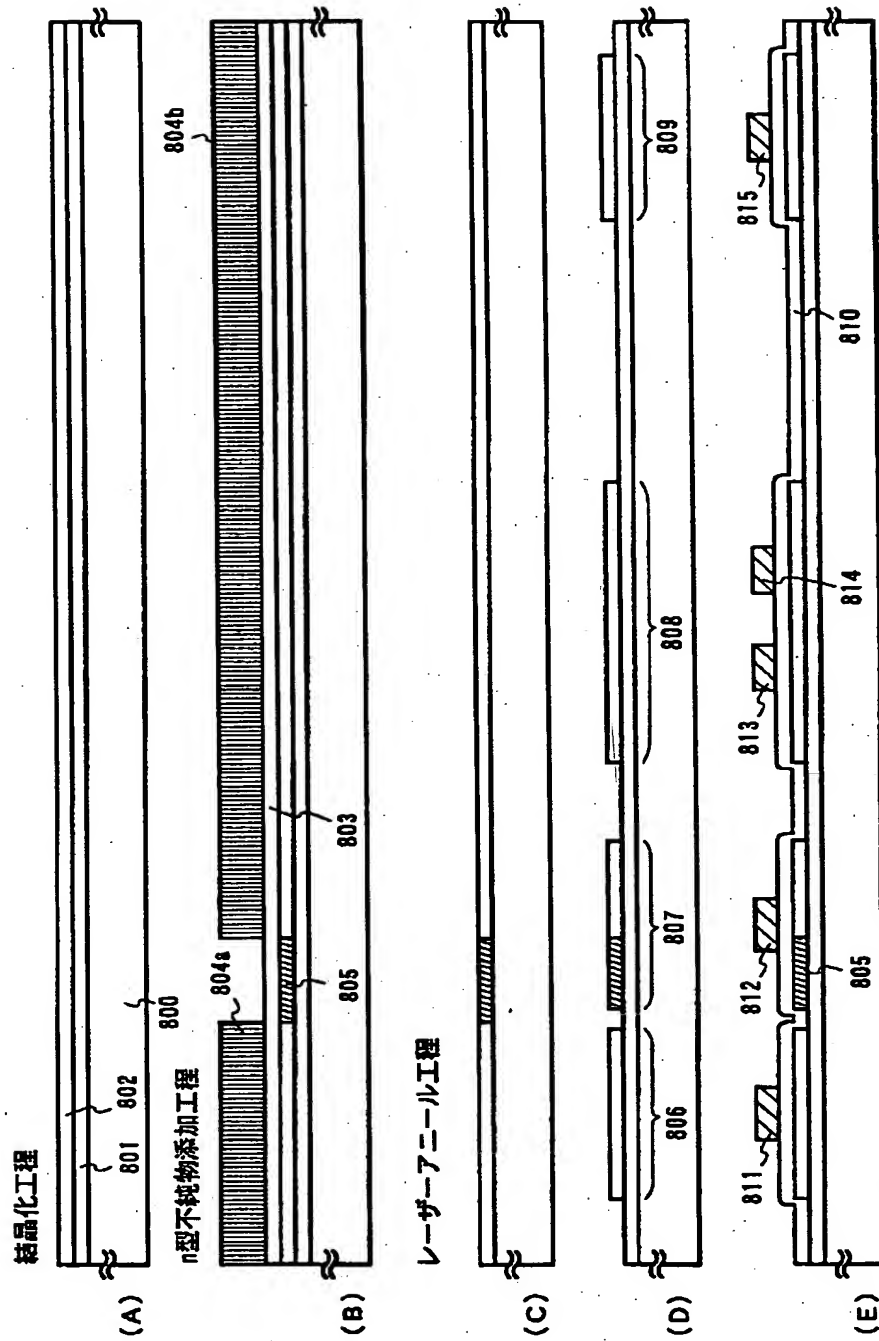


11:基板 12:下地膜 13:ソース領域 14:ドレイン領域 15a~15d:LDD領域 16:高濃度不純物領域
 17a,17b:ゲート形成領域 18:ゲート絶縁膜 19a,19b:ゲート電極 20:第1層間絶縁膜 21:Si-Al配線
 22:ドレイン配線 23:ゲート電極 24:ドレイン領域 25:ドレイン領域 26:ドレイン領域 27:ドレイン領域
 28:ドレイン領域 29:ドレイン領域 30:ドレイン領域 31:LDD領域 32:ドレイン領域 33:LDD領域 34:ゲート形成領域
 35:ゲート電極 36:ソース領域 37:ドレイン領域 38:ドレイン領域 39:第2層間絶縁膜 40:表面電極 (導線)
 41a:支持配線 41b:制御配線 42:埋め込み材 43:EL層 44:陰極

【図 7】

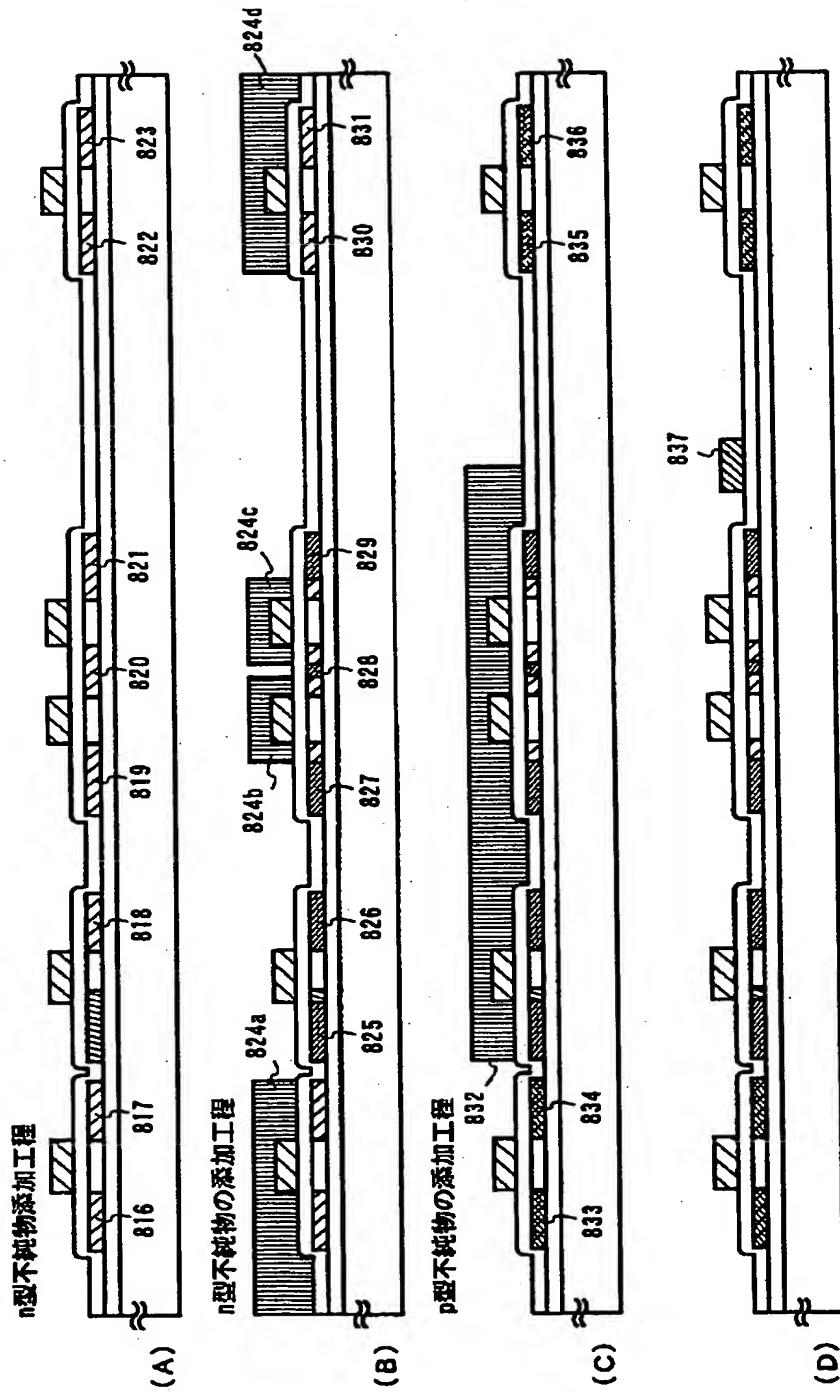


【図8】



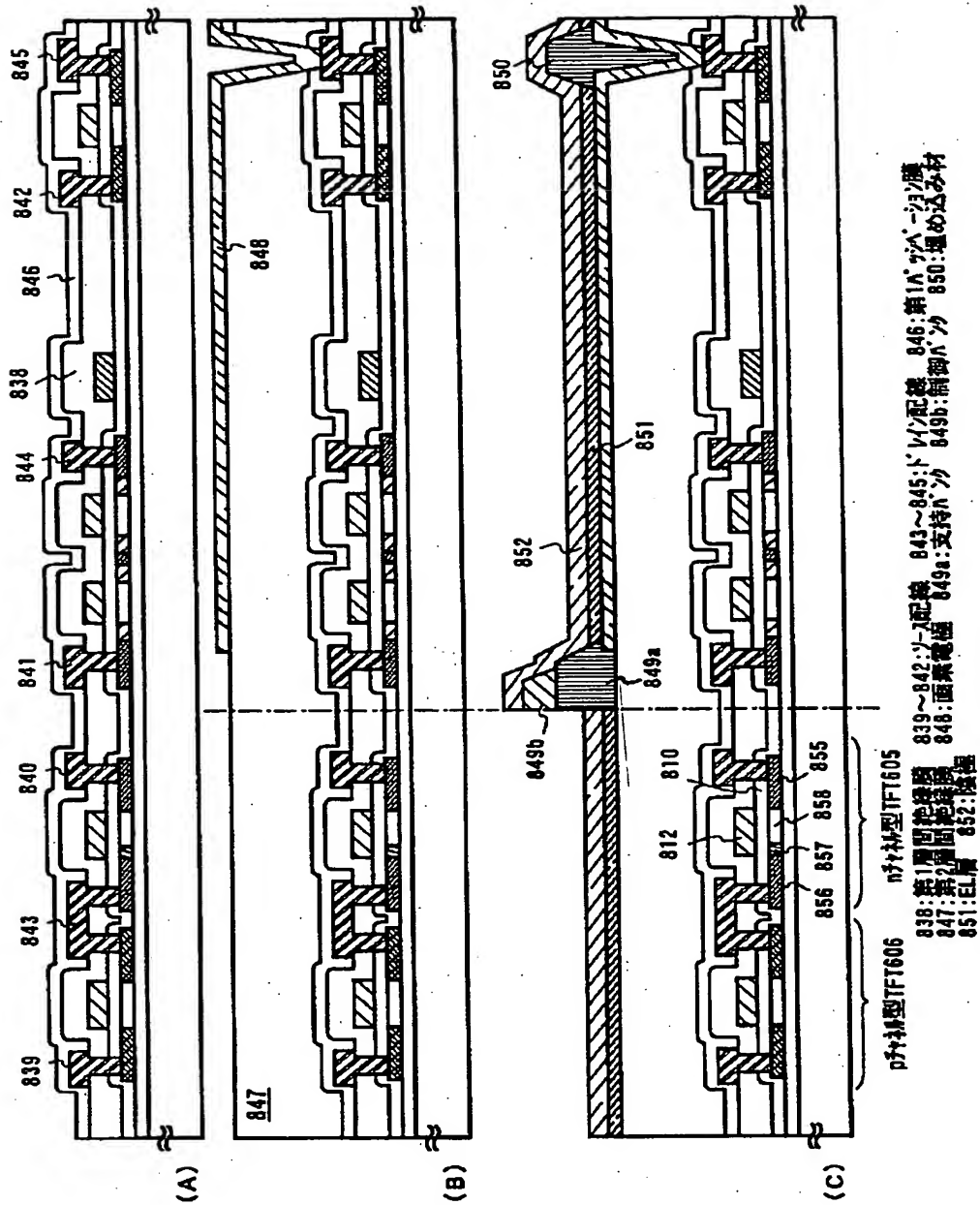
800: n型不純物領域 (b) 806~809: 活性層 810: p型不純物領域 811~815: p型不純物領域
 801: 下地膜 802: p型シリコン膜 803: 保護膜 804a, 804b: p型シリコン膜
 805: n型不純物領域 (a) 806~809: 活性層 810: p型不純物領域 811~815: p型不純物領域

【図 9】

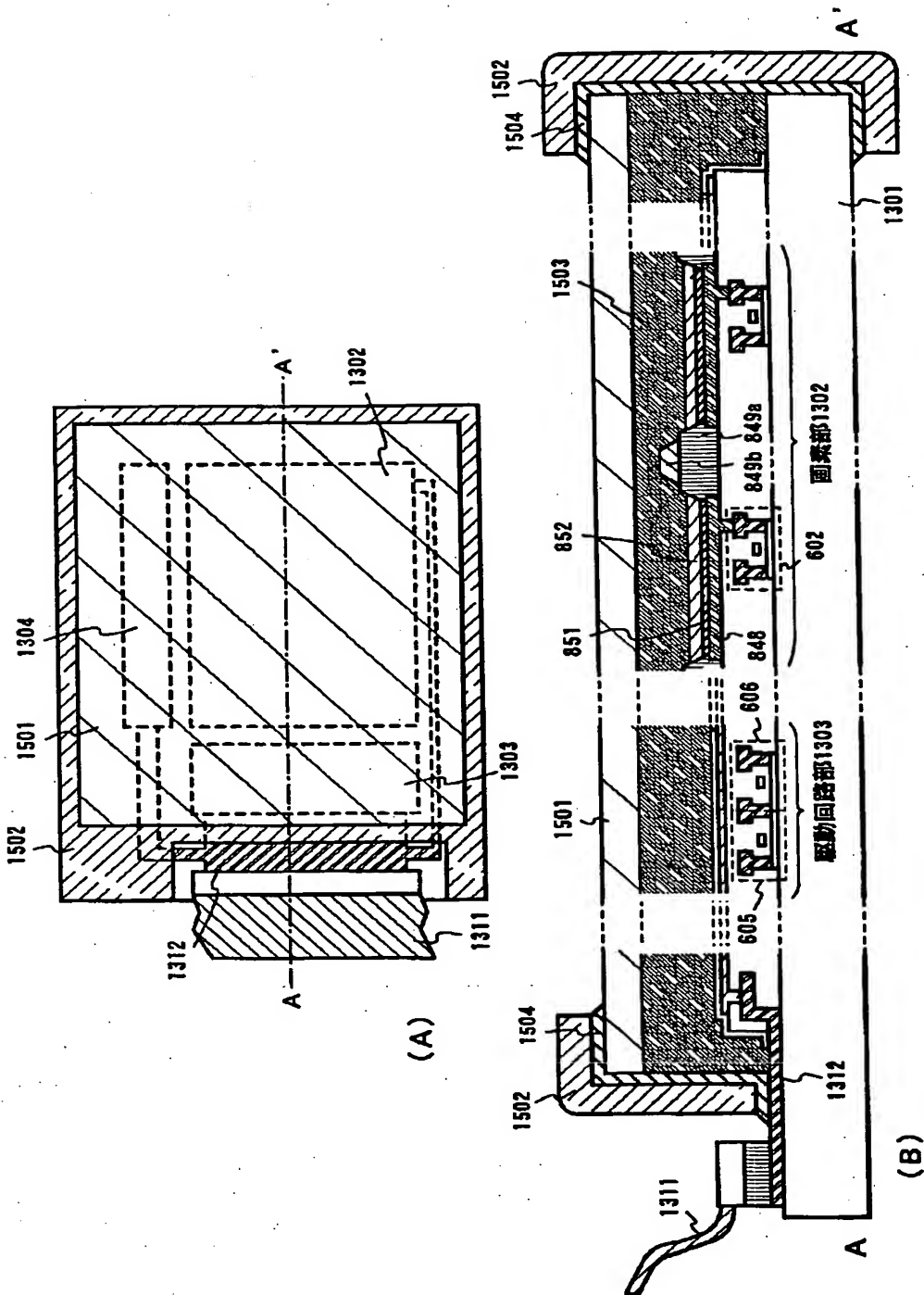


816~823:n型不純物領域(c) 824a~824d, 832:n型不純物領域(a) 825~829:n型不純物領域(a) 833~836:p型不純物領域(a)
837:n型不純物領域

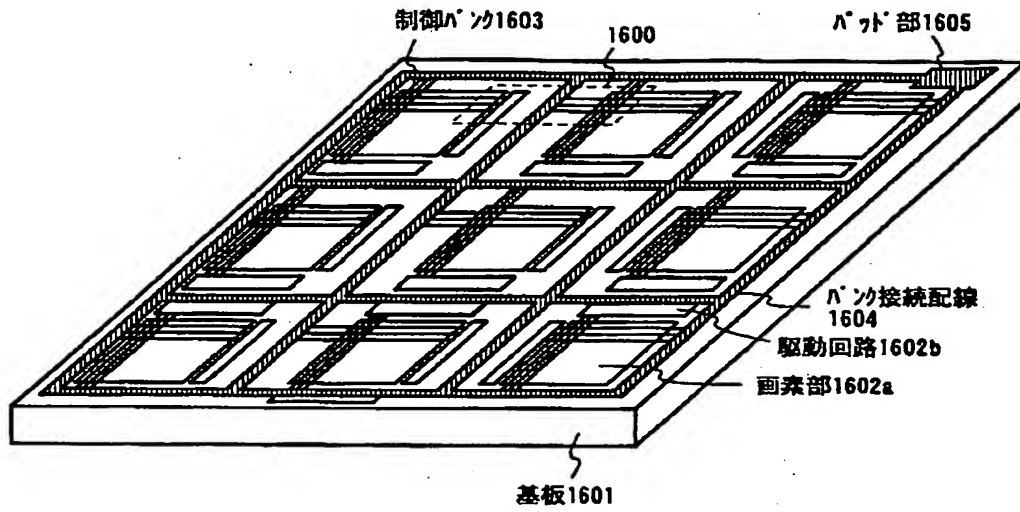
【図10】



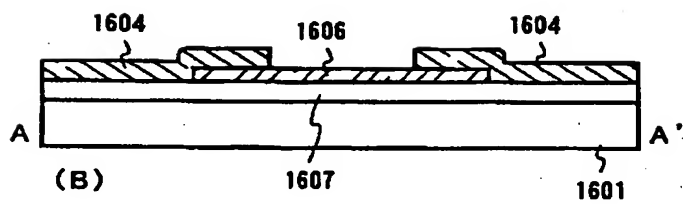
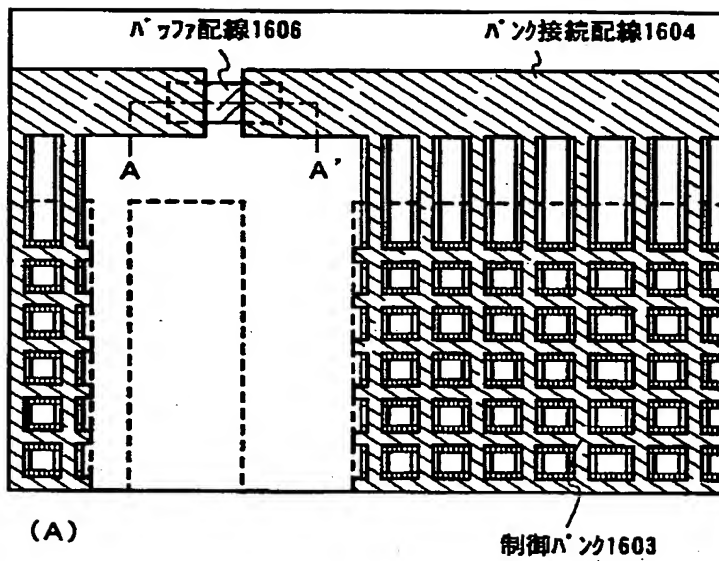
【図15】



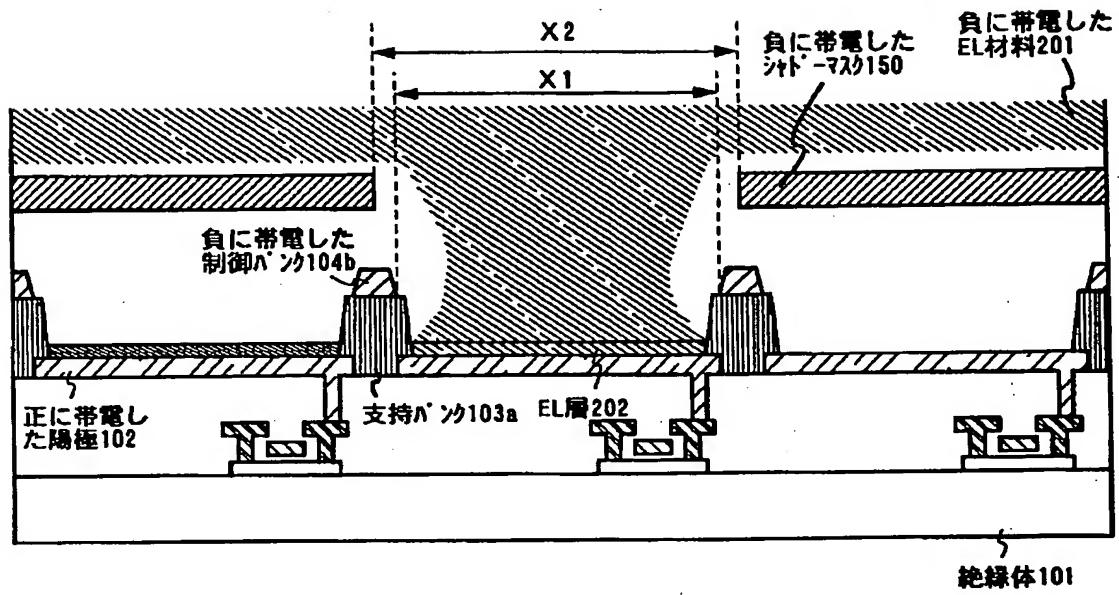
【図 16】



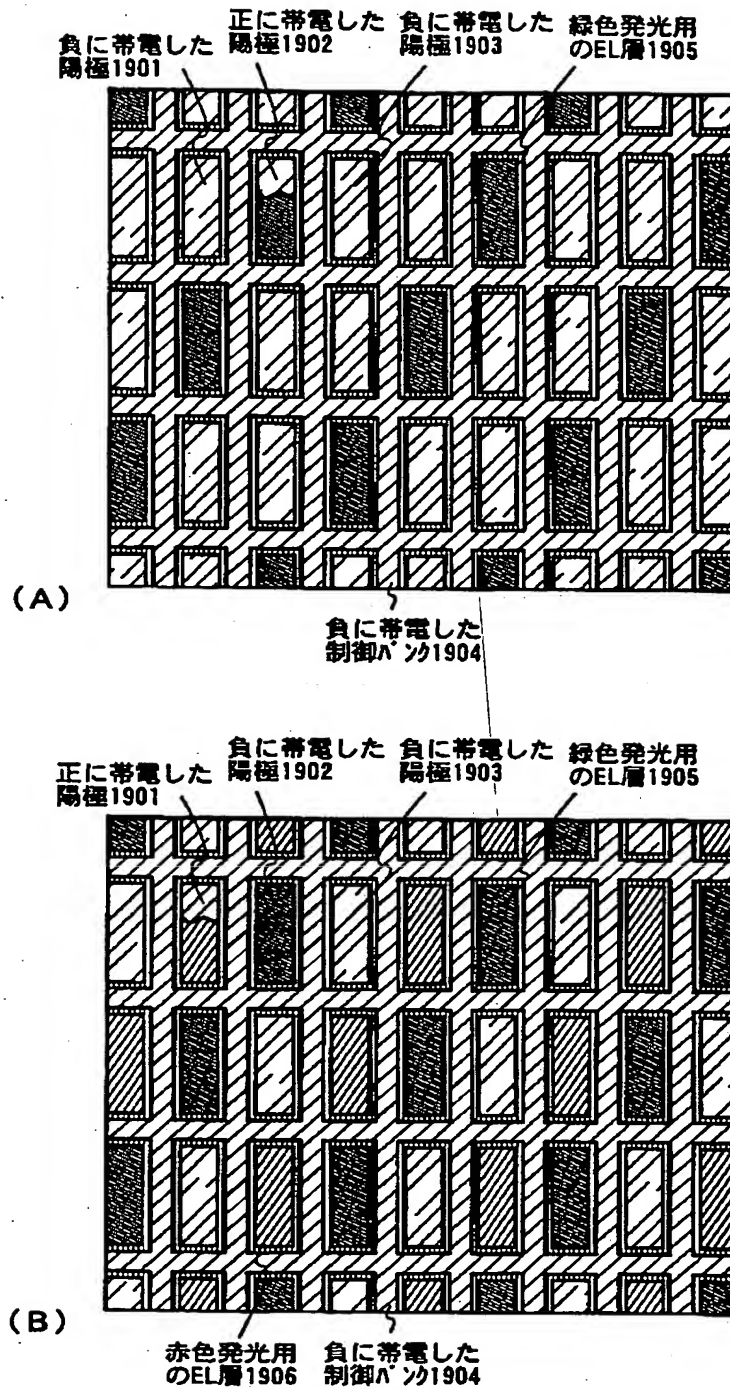
【図 17】



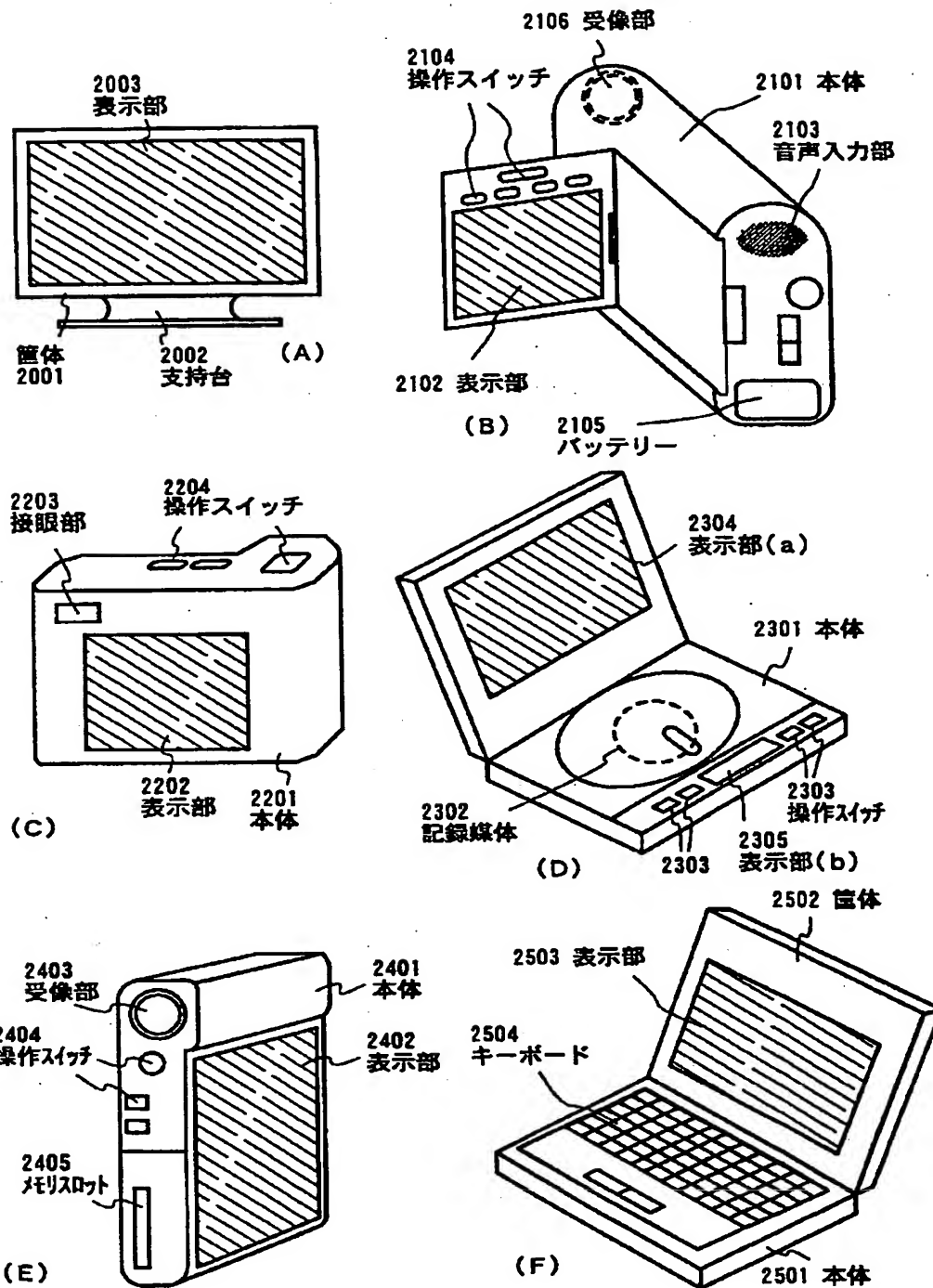
【図 18】



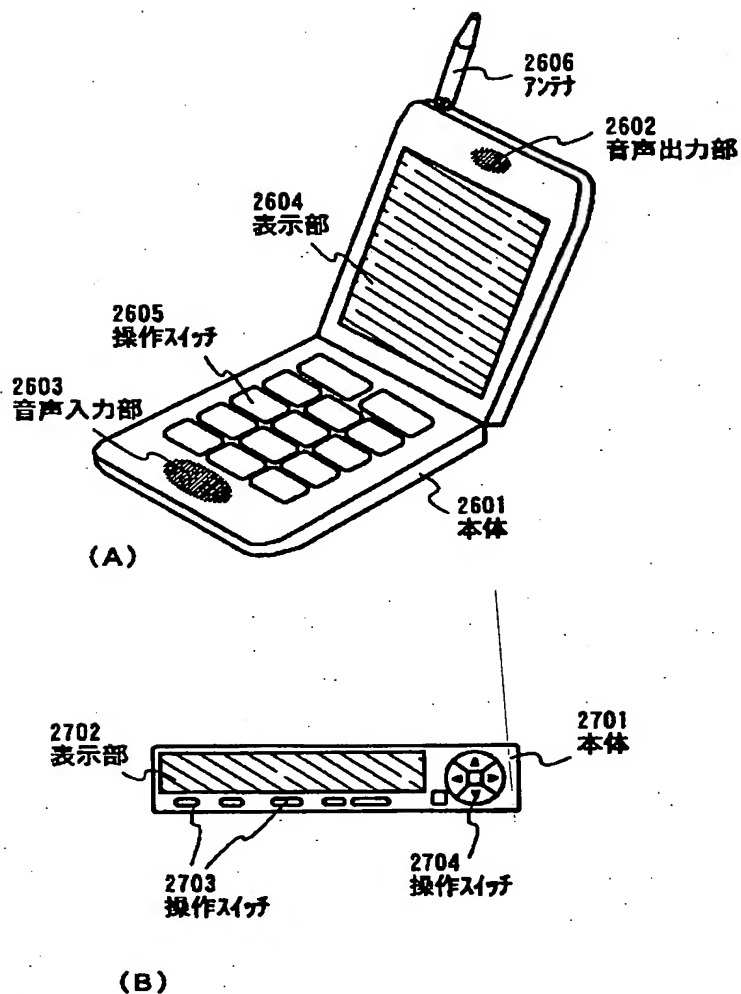
【図 19】



【図 20】



【図 21】



フロントページの続き

(51) Int. Cl.⁷

H 0 5 B 33/22

// C 2 3 C 14/12

識別記号

F I

H 0 5 B 33/22

C 2 3 C 14/12

テームコード (参考)

Z

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.